

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁

JAPAN PATENT OFFICE

Priority Doc.
S. Willis
4-4-02

jc997 U.S. PTO
10/003048
12/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 7月19日

出願番号

Application Number:

特願2001-219519

出願人

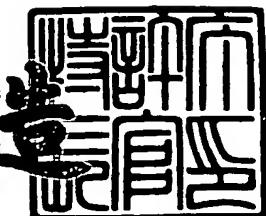
Applicant(s):

富士通株式会社

2001年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3083349

【書類名】 特許願
【整理番号】 0140166
【提出日】 平成13年 7月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
G06F 3/00
【発明の名称】 入出力インターフェースおよび半導体集積回路
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 松崎 康郎
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 篠▲崎▼ 直治
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100072718
【弁理士】
【氏名又は名称】 古谷 史旺
【電話番号】 3343-2901
【手数料の表示】
【予納台帳番号】 013354
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

特2001-219519

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 入出力インターフェースおよび半導体集積回路

【特許請求の範囲】

【請求項1】 複数の信号線上をそれぞれ伝達される複数の信号の遷移エッジのタイミングの順序によって、論理値を表現することを特徴とする入出力インターフェース。

【請求項2】 請求項1記載の入出力インターフェースにおいて、
前記信号は、複数の遷移エッジを有しており、
前記論理値は、前記信号の前記各遷移エッジのタイミングの順序を組み合わせて表現されることを特徴とする入出力インターフェース。

【請求項3】 請求項2記載の入出力インターフェースにおいて、
前記信号は、パルス信号であり、
前記論理値は、前記パルス信号の遷移エッジのタイミングの順序を用いて表現されることを特徴とする入出力インターフェース。

【請求項4】 遷移エッジのタイミングが互いに異なる複数のタイミング信号を生成するタイミング信号生成回路と、
論理値に応じて、前記タイミング信号のいずれかを複数の信号線毎に選択する選択回路と、

選択した前記タイミング信号にそれぞれ同期して信号を生成し、生成した前記信号を出力する出力回路を有する送信回路を備えていることを特徴とする半導体集積回路。

【請求項5】 複数の信号線を介してそれぞれ伝達される複数の信号における遷移エッジのタイミングの順序を比較する比較回路と、

前記比較回路での比較結果に基づいて論理値を生成する論理値生成回路とを有する受信回路を備えていることを特徴とする半導体集積回路。

【請求項6】 信号線上を伝達される信号の遷移エッジと基準タイミング信号の遷移エッジとの時間差によって、論理値を表現することを特徴とする入出力インターフェース。

【請求項7】 請求項6記載の入出力インターフェースにおいて、

複数ビットで表現される論理値をそれぞれ所定の遅延時間に変換し、基準タイミング信号に対して前記遅延時間だけ遅れた前記信号を前記信号線に出力する送信回路と、

前記信号線を介して伝達される前記信号の遷移エッジの前記基準タイミング信号に対する遅延時間を検出し、この遅延時間に応じて論理値を生成する受信回路とを備えていることを特徴とする入出力インターフェース。

【請求項8】 請求項7記載の入出力インターフェースにおいて、

前記送信回路および前記受信回路は、複数の半導体チップ上にそれぞれ形成され、

前記各半導体チップは、

前記信号を他の前記半導体チップから受信するときに、前記他の半導体チップが output する前記信号および前記基準タイミング信号をそれぞれ受信する第1入力回路および第2入力回路と、

前記信号を他の前記半導体チップに送信するときに、外部クロック信号に基づいて前記基準タイミング信号を生成する信号生成回路および前記信号を出力する第1出力回路とを備えていることを特徴とする入出力インターフェース。

【請求項9】 複数ビットで表現される論理値をそれぞれ所定の遅延時間に変換し、基準タイミング信号に対して前記遅延時間だけ遅れた前記信号を信号線に出力する送信回路を備えていることを特徴とする半導体集積回路。

【請求項10】 信号線を介して伝達される信号の遷移エッジの基準タイミング信号に対する遅延時間を検出し、この遅延時間に応じて論理値を生成する受信回路を備えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路間あるいは半導体集積回路内において信号を送受信するための入出力インターフェースに関する。

【0002】

【従来の技術】

従来の入出力インターフェースでは、2進数に対応させて信号線を高レベルまたは低レベルに変化させることで、信号が送受信されていた。この場合、1本の信号線で1ビットのデータが伝送される。

【0003】

【発明が解決しようとする課題】

この種の入出力インターフェースでは、伝送する信号のビット数に応じて信号線の本数が増えるため、伝送量を増やすほど、半導体集積回路のチップサイズが増大し、あるいはシステム基板の面積が増大しするという問題あった。また、信号線にデータを入出力する入出力回路は各ビット毎に必要である。このため、信号線の数が増えると、入出力回路の数が増え、スイッチングによる充放電電流が増加するという問題があった。すなわち、データのビット幅が増加するほど消費電流が増加してしまう。特に、バッテリーを電源とする携帯電話等の携帯機器において、扱うデータ量が大幅に増大してきている。データ量の増大は、これ等携帯機器の動作時間に大きく影響するため、大きな問題である。

【0004】

1本の信号線に複数ビットのデータを伝送する技術として、特開平5-227035号公報および特開平10-107684号公報が開示されている。特開平5-227035号公報では、パルス信号のパルス幅および遷移エッジのタイミングの組み合わせで論理値が表現される。しかしながら、2ビットのデータを表現するのに4つのパラメータT1-T4を必要とするため、送信回路および受信回路の構成は複雑になる。また、パラメータT1-T4毎にタイミング余裕が必要になるため、送信回路および受信回路のタイミング設計は難しい。このため、パルス信号のサイクル時間を大きくする必要がある。

【0005】

特開平10-107684号公報では、スペクトル拡散通信方式において、時間的に隣接するフレーム信号の発生する時間差によって、デジタルデータを表現している。一般に、この種の伝送方式は、送受信回路が複雑であり、消費電力も大きい。

本発明の目的は、少ない信号線で大量のデータを伝送できる入出力インターフェ

ースおよび半導体集積回路を提供することにある。

【0006】

本発明の別の目的は、データ転送レートを下げることなく信号線の数を減らすことで、入力回路および出力回路の数を減らし、消費電力を削減することにある。

本発明のさらなる別の目的は、データ転送レートを下げることなく信号線の数を減らすことで、信号線の配線領域を削減することにある。

【0007】

【課題を解決するための手段】

請求項1の入出力インターフェースでは、複数の信号線上をそれぞれ伝達される複数の信号の遷移エッジのタイミングの順序によって、論理値を表現される。このため、遷移エッジのタイミングの組み合わせによって、少ない信号線で大量のデータを伝送できる。1回の信号の送信で大量のデータを伝送できるため、データの転送レートを大幅に向上できる。

信号線の本数が少なくて済むため、信号の出力回路（出力バッファ）の数および入力回路（入力バッファ）の数を減らすことができる。動作する回路が少なくなるため、信号の送信側および受信側の双方において、消費電力を小さくできる。また、信号線の本数が少なくて済むため、信号線の配線領域を小さくできる。

【0008】

遷移エッジのタイミングの差（相対値）で論理を表現できるため、基準信号は不要ない。すなわち、基準信号を信号の送信側および受信側で同期させる必要がない。このため、信号の送信回路および受信回路の構成を簡易にできる。

また、信号を送信する回路および信号を受信する回路とを別の半導体チップ上に形成することで、半導体チップ間を配線される信号線の数を減らすことができる。例えば、半導体チップがプリント基板上に実装される場合、プリント基板の信号線領域を小さくできる。この結果、プリント基板が小さくなるため、システムを小型化でき、システムのコストを低減できる。

【0009】

信号を送信する回路および信号を受信する回路とを同じ半導体チップ上に形成

することで、半導体チップ内の配線領域を小さくできる。この結果、半導体チップのチップサイズが小さくなり、チップコストを低減できる。

請求項2の入出力インターフェースでは、信号の複数の遷移エッジを使用し、論理値が信号の各遷移エッジのタイミングの順序を組み合わせて表現されるため、より大量のデータを伝送できる。

【0010】

請求項3の入出力インターフェースでは、パルス信号の遷移エッジのタイミングの順序を用いて論理値が表現される。この場合、パルス信号の前エッジまたは後エッジのみを使用してもよく、パルス信号の前エッジおよび後エッジの両方を使用してもよい。パルス信号の前エッジおよび後エッジの両方を使用する場合、4本の信号線で576通りの論理を表現できる。これは、2進データの9ビット(512通り)を超えるものである。信号線を3本以上で構成することで、2進データをそのまま伝送するより効率が高くなる。特に、データまたはアドレス等のように、一般にビット数の多い信号に本発明を適用すると、バス線の本数を大幅に削減することが可能になるため、消費電力の大幅な削減および装置の小型化が達成される。

【0011】

請求項4の半導体集積回路では、送信回路は、複数の遅延段が縦続接続された遅延回路、選択回路、およびエッジ生成回路を有している。遅延回路は、初段の遅延段で基準信号を受け、各遅延段から基準信号を遅延させたタイミング信号を出力する。選択回路は、タイミング信号のいずれかを論理値に応じて信号線毎に選択する。エッジ生成回路は、選択されたタイミング信号に同期して、信号の遷移エッジを生成する。このように、簡易な論理回路を構成することで、大量のデータを伝送できる。

【0012】

パルス信号の前エッジおよび後エッジの両方の組み合わせで論理を表現する場合、前エッジ用および後エッジ用のタイミング信号をそれぞれ出力する遅延回路と、前エッジ用および後エッジ用の選択回路を形成すればよい。例えば、エッジ生成回路に、オープンドレインタイプの出力トランジスタを形成することで、バ

ス線に複数の送信回路を接続できる。送信回路に論理値をデコードするデコーダを形成することで、選択回路は、デコーダのデコード結果に応じて容易にタイミング信号を選択できる。

【0013】

請求項5の半導体集積回路では、受信回路は、複数の比較器を含む比較回路およびデコーダを含む論理値生成回路を有している。比較回路は、信号の遷移エッジのタイミングの順序を比較する。比較器は、互いに異なる2つの信号を受けるフリップフロップ等で構成できる。論理値生成回路は、デコーダ比較回路での比較結果をデコードし、デコード結果に基づいて論理値を生成する。この際、受信回路は、送信回路が転送した元の論理値を復元してもよく、送信回路が転送した論理値とは異なる論理値（例えば反転論理）を生成してもよい。このように、簡単な論理回路を構成することで、大量のデータを伝送できる。

【0014】

請求項6の入出力インターフェースでは、信号線上を伝達される信号の遷移エッジと基準タイミング信号の遷移エッジとの時間差によって、論理値が表現される。このため、1本の信号線で複数ビットの論理値を伝送できる。すなわち、少ない信号線で大量のデータを伝送できる。1回の信号の送信で大量のデータを伝送できるため、データの転送率を大幅に向上できる。したがって、信号線の本数を従来に比べ減らすことができる。信号線の本数が少なくて済むため、信号の出力回路（出力バッファ）の数および入力回路（入力バッファ）の数を減らすことができる。動作する回路が少なくなるため、信号の送信側および受信側の双方において、消費電力を小さくできる。また、信号線の本数が少なくて済むため、信号線の配線領域を小さくできる。

【0015】

請求項7の入出力インターフェースおよび請求項9、10の半導体集積回路では、送信回路は、複数ビットで表現される論理値をそれぞれ所定の遅延時間に変換する。論理値は、基準タイミング信号に対して遅延時間だけ遅れた信号として信号線に出力される。受信回路は、信号線を介して伝達される信号の遷移エッジの基準タイミング信号に対する遅延時間を検出し、この遅延時間に応じて論理値を

生成する。送信回路は、論理値に応じた遅延時間だけ信号を遅らせればよい。受信回路は、信号の基準タイミング信号に対する遅延時間を検出するだけで論理値を生成できる。したがって、簡易な送信回路で論理値を信号に変換し、簡易な受信回路で信号を論理値に変換できる。受信回路は、送信回路が転送した元の論理値を復元してもよく、送信回路が転送した論理値とは異なる論理値（例えば反転論理）を生成してもよい。特に、データまたはアドレス等のように、一般にビット数の多い信号に本発明を適用すると、バス線の本数を大幅に削減することが可能になるため、消費電力の大幅な削減および装置の小型化が達成される。

【0016】

例えば、送信回路に可変遅延回路を形成し、論理値に応じて可変遅延回路の遅延時間を変更することで、送信する信号を生成してもよい。また、受信回路において、基準タイミング信号と位相の異なる複数のタイミング信号を生成する遅延回路と、受信した信号の位相とタイミング信号の位相とをそれぞれ比較し、信号の基準タイミング信号に対する遅延時間を検出する比較回路とを形成することで、容易に論理値に生成できる。このとき、比較回路に、信号を上記タイミング信号でそれぞれラッチする複数のラッチ回路を形成することで、信号の位相を、ラッチ回路にそれぞれラッチされる論理レベルによって表現できる。さらに、比較回路に簡易なエンコーダを形成することで、ラッチ回路にラッチされた論理レベルに基づいて論理値を生成できる。

【0017】

送信回路と受信回路とを別の半導体チップ上に形成することで、半導体チップ間を配線される信号線の数を減らすことができる。例えば、半導体チップがプリント基板上に実装される場合、プリント基板の信号線領域を小さくできる。この結果、プリント基板が小さくなるため、システムを小型化でき、システムのコストを低減できる。

【0018】

送信回路および受信回路を同じ半導体チップ上に形成することで、半導体チップ内の配線領域を小さくできる。この結果、半導体チップのチップサイズが小さくなり、チップコストを低減できる。

請求項8の入出力インターフェースでは、送信回路および受信回路が、複数の半導体チップ上にそれぞれ形成されるため、少ない信号線でデータの送受信ができる。このとき、各半導体チップには、例えば、信号の受信用として、他の半導体チップが output する信号および基準タイミング信号をそれぞれ受信する第1入力回路および第2入力回路が形成され、信号の送信用として、信号を出力する第1出力回路、外部クロック信号に基づいて基準タイミング信号を生成する信号生成回路、および基準タイミング信号を外部に出力する第2出力回路が形成される。

【0019】

このとき、第1入力回路の入力および第1出力回路の出力を共通の外部端子に接続し、信号線を双方向にすることで、さらに信号線の本数を削減できる。同様に、第2入力回路の入力および第2出力回路の出力を共通の外部端子に接続し、基準タイミング信号の信号線を双方向にすることで、さらに信号線の本数を削減できる。

【0020】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明の第1の基本原理を示している（請求項1ないし請求項5に対応する）。ここでは、4本のデータバス線（信号線）DA、DB、DC、DDを使用して装置10から装置12にデータを伝送する例について説明する。

装置10のデータの送信回路14は、低レベルのパルス（以下、Lパルスと称する）をデータバス線DA、DB、DC、DDに出力する。データの論理値は、Lパルスにおける遷移エッジのタイミングの順序で表現される。すなわち、Lパルスの前エッジ（ダウンエッジ）の組み合わせで24通りの論理が表現され、Lパルスの後エッジ（アップエッジ）の組み合わせでさらに24通りの論理が表現される。前エッジと後エッジの組み合わせことで、576通りの論理を表現できる。これは、2進データの9ビット（512通り）を超えるものである。換言すれば、本発明では、4本のデータバス線DA、DB、DC、DDを使用するだけで9ビット以上のデータを送信できる。

【0021】

データバス線DA-DDに出力される信号の前エッジ間の最小間隔および後エッジ間の最小間隔は、tD1に設定され、最も近接する前エッジと後エッジの間隔は、tD2に設定されている。このように、データバス線DA-DDに出力される信号の前エッジ同士および後エッジ同士は、一致することではなく、かつ最も近接する前エッジおよび最も近接する後エッジは、それぞれ間隔tD1を有している。間隔tD1は、遷移エッジの順序を判定可能な値に設定され、間隔tD2は、最もパルス幅の小さい信号においても前エッジおよび後エッジを識別可能な値に設定されている。具体的には、間隔tD1、tD2は、送信回路114、受信回路16、および伝送路（この例では、データバス線DA-DD）の特性に応じて設定される。

【0022】

一方、装置12のデータの受信回路16は、データバス線DA、DB、DC、DDを介して転送される信号の前エッジおよび後エッジのタイミングの順序を判定し、論理値を生成する。ここで、受信回路16は、装置10で扱われる論理値（元の論理値）を復元してもよく、装置12で扱う固有の論理値（例えば、元の論理値の反転データ）を生成してもよい。

【0023】

信号の遷移エッジの相対的な順序で論理を表現するため、装置10、12において、基準信号等を使用して伝達する信号の同期を取る必要はない。したがって、装置10のデータ送信回路14および装置12のデータ受信回路16のタイミング設計が容易になる。データバス線上を伝達される信号のスキーの問題は、データバス線の配線長を揃えることで容易に解決できる。この結果、簡易な送信回路14および受信回路で、大量のデータを確実に伝達できる。

【0024】

なお、パルス信号の前エッジおよび後エッジの順序で論理を表現する場合、5本のデータバス線を使用することで、14400通り ($(5 \times 4 \times 3 \times 2)^2$) の論理を表現できる。これは、2進データの13ビット (8192通り) を超えるものである。

図2ないし図12は、本発明の入出力インターフェースおよび半導体集積回路の第1の実施形態を示している。この実施形態は、請求項1ないし請求項5に対応

している。図において複数本で構成される信号線は、太線で示している。

【0025】

入出力インターフェースは、図1に示した装置10のデータ送信回路14、装置12のデータ受信回路16、および装置10から装置12にデータを転送するデータバスDA、DB、DC、DDにより構成されている。例えば、装置10は、マイクロコンピュータであり、装置12は、DRAM等の半導体メモリデバイスである。すなわち、装置10、12は、別の半導体チップとして、システム基板等に実装されている。装置10、12間には、図1に示した以外にも制御信号、アドレス信号を伝達する信号線が配線されている。

【0026】

図2は、装置10の送信回路14の詳細を示している。送信回路14は、プリデコーダ18、遅延回路20、選択回路22、24、およびエッジ生成回路26を有している。

プリデコーダ18は、9ビットの論理値D8-D0をデコードし、デコード信号を出力している。

【0027】

遅延回路20は、縦続接続された7つの遅延段20aを有している。初段の遅延段20aは、基準信号STDを受けている。基準信号STDは、高レベルのパルス信号である。各遅延段20aは、基準信号STDを順次遅延させ、タイミング信号N2-N8として出力している。また、遅延回路20は、基準信号STDをタイミング信号N1として出力している。すなわち、遅延回路20は、遷移エッジの互いに異なる複数のタイミング信号N1-N8を生成するタイミング信号生成回路として動作する。遅延段20a内の記号tD1、tD2は、それぞれ図1の間隔（遅延段20aの遅延時間）を示している。

【0028】

選択回路22は、送信回路14が出力するLパルス信号の前エッジのタイミングを設定する回路である。選択回路22は、デコーダDEC1-DEC4およびセレクタSEL1-SEL4を有している。デコーダDEC1-DEC4は、デコード信号を使用してセレクタSEL1-SEL4を動作させる選択信号を生成する。デコーダDEC1-DEC4の論理は、後

述する変換テーブルに従って決められている。各セレクタSEL1-SEL4は、選択信号に応じてタイミング信号N1-N4をノードNDD、NCD、NBD、NADのいずれかに出力する。

【0029】

選択回路24は、送信回路14が出力するLパルス信号の後エッジのタイミングを設定する回路である。選択回路24は、デコーダDEC5-DEC8およびセレクタSEL5-SEL8を有している。デコーダDEC5-DEC8は、デコード信号を使用してセレクタSEL5-SEL8を動作させる選択信号を生成する。デコーダDEC5-DEC8の論理は、後述する変換テーブルに従って決められている。各セレクタSEL5-SEL8は、選択信号に応じてタイミング信号N5-N8をノードNDD、NCD、NBD、NADのいずれかに出力する。ノードNDD、NCD、NBD、NADは、それぞれデータバス線DD、DC、DB、DAに対応するノードである。

【0030】

エッジ生成回路26は、ノードNDD、NCD、NBD、NADにそれぞれ対応する4つのエッジ生成部26aを有している。エッジ生成部26aは、ノードNDD、NCD、NBD、NADに伝達されたタイミング信号N1-N4にそれぞれ同期して、データバス線DD、DC、DB、DAに出力するLパルス信号の前エッジを生成する。また、エッジ生成部26aは、ノードNDD、NCD、NBD、NADに伝達されたタイミング信号N5-N8にして、データバス線DD、DC、DB、DAに出力するLパルス信号の後エッジを生成する。

【0031】

図3は、図2のプリデコーダ18の詳細を示している。プリデコーダ18は、論理値D8-D7に応じて4つのデコード信号を生成するデコード回路と、論理値D6-D5に応じて4つのデコード信号を生成するデコード回路と、論理値D4に応じて2つのデコード信号を生成するデコード回路と、論理値D3に応じて2つのデコード信号を生成するデコード回路と、論理値D2-D1に応じて4つのデコード信号を生成するデコード回路と、論理値D0に応じて2つのデコード信号を生成するデコード回路とを有している。図中の記号"/"は、負論理を示している。各デコード回路は、論理値（例えばD8-D7）が図中の枠内に示した論理であるときに、対応す

るデコード信号を高レベルにする。

【0032】

図4は、9ビットの論理値D8-D0をデータバス線DA-DDに出力するLパルス信号に変換するための変換テーブルを示している。“エッジの順番”は、データバス線DA-DDに出力するLパルス信号の前エッジまたは後エッジのタイミングの順序を示している。例えば、番号0の”ABCD”は、データバス線DA、DB、DC、DDの順にLパルス信号の前エッジ（または後エッジ）が変化することを示し、番号7の”BADC”は、データバス線DB、DA、DD、DCの順にLパルス信号の前エッジ（または後エッジ）が変化することを示している。

【0033】

本実施形態では、図1で説明したように、4本のデータバス線DA-DDを使用してデータを転送する。このため、Lパルス信号の前エッジおよび後エッジの組み合わせは、番号0から番号23までそれぞれ24通りある。4つのLパルス信号では、576通りの論理値を表現できる。しかし、この値は、2進数では表現できない。実際に転送するデータは、512通り（9ビット）であるため、図に示した論理L1と論理L2を使用し、論理値D8-D0に応じてセレクタSEL1-SEL8を動作させるための制御信号を生成している。図中の”11bar”は、論理値D8-D7が”11”以外であることを示している。

【0034】

論理L1は、論理値D8-D0が”00000000”-”10111111”のときに使用され、論理L2は、論理値D8-D0が”11000000”-”11111111”のときに使用される。例えば、論理値D8-D0”001011000”は、論理L1に含まれる。このため、図中太い実線で示したように、前エッジの順番は、番号5の”ADCB”になり、後エッジの順番は、番号8の”BCAD”になる。一方、論理値はD8-D0”111010011”は、論理L2に含まれる。図中太い破線で示したように、前エッジの順番は、番号5の”ADCB”になり、後エッジの順番は、番号19の”DACP”になる。なお、変換テーブルは図4に限定されることはない。論理値D8-D0とエッジの順番との対応を変えることで別の変換テーブルを形成してもよい。

【0035】

図5は、図1のデコーダDEC1およびセレクタSEL1の詳細を示している。デコーダDEC1は、転送する論理値D8-D0に応じて4つの出力のいずれかを高レベルにする。セレクタSEL1は、デコーダDEC1の出力信号に応じて、タイミング信号N1の信号線とノードNAD-NDDとをそれぞれ接続する4つのCMOS伝達ゲートのいずれかをオンする。この結果、タイミング信号N1は、図4に示した変換テーブルに従ってノードNAD-NDDのいずれかに出力される。図5に示したデコーダDEC1は、図4の変換テーブルを比較的少ない素子数で論理を実現するための一例に過ぎない。同じ論理を実現するための回路は、他にも多数ある。特に図示しないが、デコーダDEC2-DEC4およびセレクタSEL2-SEL4も、デコーダDEC1およびセレクタSEL1と同様に構成されている。

【0036】

図6は、図1のデコーダDEC5およびセレクタSEL5の詳細を示している。デコーダDEC5は、転送する論理値D8-D0に応じて4つの出力のいずれかを高レベルにする。セレクタSEL5は、デコーダDEC5の出力信号に応じて、タイミング信号N5の信号線とノードNAU-NDUとをそれぞれ接続する4つのCMOS伝達ゲートのいずれかをオンする。この結果、タイミング信号N5は、図4に示した変換テーブルに従ってノードNAU-NDUのいずれかに出力される。

【0037】

図7は、図1のエッジ生成回路26内のエッジ生成部26aの詳細を示している。エッジ生成部26aは、ノードNAD（またはNBD、NCD、NCD）に伝達されたタイミング信号N1-N4のいずれかの立ち上がりエッジに同期してLパルスを生成するLパルス生成回路と、ノードNAU（またはNBU、NCU、NCU）に伝達されたタイミング信号N5-N8のいずれかの立ち上がりエッジに同期してHパルス信号を生成するHパルス生成回路と、電源線と接地線の間に直列に接続されたpMOSトランジスタ（Lパルス生成回路の出力で制御される）およびnMOSトランジスタ（Hパルス生成回路の出力で制御される）と、pMOSトランジスタおよびnMOSトランジスタの出力をラッチするラッチ回路と、pMOSトランジスタおよびnMOSトランジスタの出力で制御されるオープンドレインタイプの出力トランジスタ（出力回路）とを有している。出力トランジスタの出力は、例えば50Ωの終端抵抗を介して電源線に

接続されたデータバス線DA（またはDB、DC、DD）に接続されている。

【0038】

データバス線DA（またはDB、DC、DD）は、タイミング信号N1-N4のいずれかの立ち上がりエッジに同期して低レベルに変化し、タイミング信号N5-N8のいずれかの立ち上がりエッジに同期して高レベルに変化する。すなわち、選択されたタイミング信号に同期した前エッジおよび後エッジを有するLパルス信号がデータバス線DA-DDに出力される。この結果、4本のデータバス線DA-DDを使用するだけで512通りの論理値D8-D0を送信できる。

【0039】

図8は、装置12内の受信回路16の詳細を示している。受信回路16は、入力回路28、比較回路30、32、転送回路34、36、およびデコーダ38を有している。

入力回路28は、データバス線DA-DDを介して伝達されたLパルス信号を受ける4つの入力バッファを有している。入力バッファは差動アンプで構成されており、一方の入力でLパルス信号を受け、他方の入力で参照電圧VREFを受けている。入力バッファは、受信した信号を正論理の正信号PA2、PB2、PC2、PD2としてそれぞれ出力される。正信号PA2、PB2、PC2、PD2は、インバータで反転され、負論理の負信号NA2、NB2、NC2、ND2として出力される。

【0040】

比較回路30は、2つのLパルス信号の後エッジ（アップエッジ）のタイミングの順序を比較する6つの比較器30b（第2比較器）を有している。比較器30b内に記載した”(CD)”等は、その比較器30bが比較するLパルス信号を伝達するデータバス線の記号を示している。比較器30bは、比較結果を相補の信号として出力する。

【0041】

比較回路32は、2つのLパルス信号の前エッジ（ダウンエッジ）のタイミングの順序を比較する6つの比較器32b（第1比較器）を有している。比較器32b内に記載した”(CD)”等は、その比較器32bが比較するLパルス信号を伝達するデータバス線の記号を示している。比較器32bは、比較結果を相補の信号

として出力する。

【0042】

転送回路34は、比較器30bから出力される相補の信号を、転送信号TR2に同期してデコーダ38に転送する。転送信号TR2は、正信号PA2、PB2、PC2、PD2のAND論理で生成される。すなわち、転送信号TR2は、4つのLパルス信号のうち、タイミングが最も遅い後エッジに合わせて出力される。

転送回路36は、比較器32bから出力される相補の信号を、転送信号TR1に同期してデコーダ38に転送する。転送信号TR1は、負信号NA2、NB2、NC2、ND2のAND論理で生成される。すなわち、転送信号TR1は、4つのLパルス信号のうち、タイミングが最も遅い前エッジに合わせて出力される。

【0043】

例えば、転送回路34が出力する相補の転送信号S2-6X、S2-6Zは、対応する比較器30aにおいて、データバス線DC上のLパルス信号の後エッジが、データバス線DD上のLパルス信号の後エッジよりタイミングが早いと判定されたとき、それぞれ低レベル、高レベルになる。転送回路36が出力する相補の転送信号についても同様である。また、デコーダ38の枠内に示した記号A、B、C、Dは、その記号を指す転送回路からの転送信号が高レベルのとき、記号に対応するLパルス信号の遷移エッジのタイミングが早いことを示している。ここで、記号A、B、C、Dは、それぞれ、データバス線DA、DB、DC、DDを伝達されるLパルス信号に対応している。

【0044】

デコーダ38は、比較器30b、32bから出力される比較結果（転送信号）に応じて送信回路14から送られた論理を復元し、論理値D8-D0として出力する。

図9は、図8の比較器30b、32bの詳細を示している。比較器30b、32bは、2入力のNANDゲートの入力と出力を接続したRSフリップフロップで構成されている。NANDゲートの出力は、インバータを介して出力端子に接続されている。例えば、入力IN1が先に高レベルに変化すると出力OUT1、OUT2がそれぞれ高レベル、低レベルになり、入力IN2が先に高レベルに変化すると出力OUT1、OUT2

がそれぞれ低レベル、後レベルになる。

【0045】

図10は、データバス線DA-DDを介して受信したLパルス信号を元の論理値D8-D0に復元するための変換テーブルを示している。“番号”、“エッジの順番”、“論理L1”、“論理L2”は、図4に示した変換テーブルと同じである。

例えば、前エッジおよび後エッジの“エッジの順番”が、それぞれ”ADCB（番号5）”および”BCAD（番号8）”のとき、比較器32b、30bの出力は、“111000”、“001111”になる。ここで、比較器32bの出力”111000”は、図8に示した正論理の転送信号S1-1Z、S1-2Z、S1-3Z、S1-4Z、S1-5Z、S1-6Zの論理レベルを示している。同様に、比較器30bの出力”001111”は、図8に示した正論理の転送信号S2-1Z、S2-2Z、S2-3Z、S2-4Z、S2-5Z、S2-6Zの論理レベルを示している。そして、図中太い実線で示したように、デコーダ38によって元の論理値D8-D0=”001011000”が復元される。

【0046】

また、前エッジおよび後エッジの“エッジの順番”が、それぞれ”ADCB（番号5）”および”DACB（番号19）”のとき、比較器32b、30bの出力は、“111000”、“110000”になる。このとき、図中太い破線で示したように、デコーダ38によって元の論理値D8-D0=”111010011”が復元される。

図11および図12は、図8のデコーダ38の詳細を示している。図11は、論理値D4-D8を復元するための論理回路を示している。図12は、論理値D0-D3を復元するための論理回路を示している。これ等論理回路は、図10の変換テーブルに従って構成されている。図11および図12に示した論理回路は、図10の変換テーブルを比較的少ない素子数で論理を実現するための一例に過ぎない。同じ論理を実現するための回路は、他にも多数ある。

【0047】

以上、本実施形態では、複数のデータバス線DA-DD上をそれぞれ伝達される複数の信号の遷移エッジのタイミングの順序によって、論理値を表現した。このため、少ない信号線で大量のデータを伝送できる。1回の信号の送信で大量のデータを伝送できるため、データの転送レートを大幅に向上できる。具体的には、パ

ルス信号の前エッジおよび後エッジ（複数の遷移エッジ）のタイミングの順序を用いて論理値を表現した。このため、4本の信号線で576通りの論理を表現できる。これは、2進データの9ビット（512通り）を超えるものである。

【0048】

データバス線DA-DDの本数が少なくて済むため、信号の出力回路（出力バッファ）の数および入力回路（入力バッファ）の数を減らすことができる。動作する回路が少なくなるため、信号の送信側および受信側の双方において、消費電力を小さくできる。また、データバス線DA-DDの本数が少なくて済むため、その配線領域を小さくできる。

【0049】

遷移エッジのタイミングの差（相対値）で論理を表現できるため、基準信号は不要ない。すなわち、基準信号を信号の送信側および受信側で同期させる必要がない。このため、送信回路1.4および受信回路1.6の構成を簡易にできる。

また、送信回路1.4および受信回路1.6を別の半導体チップ上に形成した。半導体チップがプリント基板上に実装される場合、プリント基板の信号線領域を小さくできる。この結果、プリント基板が小さくなるため、システムを小型化でき、システムのコストを低減できる。

【0050】

信号の遷移エッジのタイミングの順序によって、論理値を表現できるため、送信回路1.4および受信回路1.6とも、簡易な論理回路を構成することで大量のデータを伝送できる。具体的には、装置1.0のデータ送信回路1.4は、転送するデータの論理値に応じてLパルスを生成すればよい。このため、送信回路1.4は、単純な論理回路で構成できる。装置1.2の受信回路1.6は、受信した信号のエッジを互いに比較し、どちらのエッジが早いかを判定すればよい。このため、デ受信回路1.6も、単純な論理回路で構成できる。送信回路1.4および受信回路1.6の回路規模を小さくできるため、これ等回路を搭載する半導体集積回路のチップサイズを小さくできる。

【0051】

エッジ生成回路2.6に、オープンドレインタイプの出力トランジスタを形成し

たので、データバス線？DA-DDに複数の送信回路14を接続できる。

図13は、本発明の第2の基本原理を示している（請求項6ないし請求項10に対応する）。ここでは、基準タイミング信号CLK（クロック信号）を伝達するクロック信号線（CLK）および1本のデータバス線（信号線）DATAを使用して送信回路40から受信回路42にデータを転送する例について説明する。

【0052】

送信回路40は、基準タイミング信号CLKのアップエッジに対して所定時間遅延した信号SIGを出力する。データの論理値は、基準タイミング信号CLKの遷移エッジに対する信号SIGの遷移エッジの遅延時間（時間差）で表現される。この例では、4通りの遅延時間を設定することで、1本の信号線で2ビットのデータを転送できる。

【0053】

信号SIGの遷移エッジは、そのタイミング差が、それぞれ4nsに設定されている。この差は、送信回路40、受信回路42、および伝送路（この例では、データバス線DATA）の特性に応じて設定される。基準タイミング信号CLKと信号SIGは、基準タイミング信号CLK自体を論理値に応じて所定時間遅延させることで生成される。信号SIGの遷移エッジは、例えば、基準タイミング信号CLKの遷移エッジに対してそれぞれ6ns、10ns、14ns、18ns遅れている。

【0054】

一方、受信回路42は、基準タイミング信号CLKおよび信号SIGを受け、信号SIGの遷移エッジと基準タイミング信号CLKの遷移エッジとの時間差（遅延時間）を検出する。そして、この差に応じて論理値が生成される。ここで、受信回路42は、送信回路40で扱われる論理値（元の論理値）を復元してもよく、受信回路42で扱う固有の論理値（例えば、元の論理値の反転データ）を生成してもよい。

【0055】

このように、1本のデータバス線DATAで複数ビットのデータが送受信される。送信回路40と受信回路42との間に配線されるデータバス線の本数を減らすことができるため、データの入力回路および出力回路の数を減らすことができる。

この結果、消費電力を減らすことができる。入力回路および出力回路の数が減るため、これ等回路を搭載する半導体集積回路のチップサイズを小さくできる。データバス線の本数が減るため、その配線領域を減らすことができる。

【0056】

上述した例では、2ビットのデータを転送する場合の説明をしたが、遅延時間の設定数を増やすことで3ビット以上のデータを転送する場合にも容易に適用できる。3ビットのデータを転送する場合、8種類の遅延時間を設定すればよい。

図14は、本発明の入出力インターフェースおよび半導体集積回路の第2の実施形態を示している。この実施形態は、請求項6、請求項7、請求項9、および請求項10に対応している。図において、複数本で構成される信号線は、太線で示している。

【0057】

入出力インターフェースは、図13に示した送信回路40、受信回路42、およびデータバスDATAにより構成されている。例えば、送信回路40および受信回路42は、同一のクロック同期式の半導体メモリデバイス（半導体集積回路）内に形成されている。受信回路42は、データの出力パッド付近に配置されている。送信回路40は、メモリコア（図示せず）から読み出される複数ビットのデータDT0、DT1を受信し、その論理に対応する信号SIGをデータバス線DATAに出力する。受信回路42は、データバス線DATAを介して受信した信号SIGを元の2ビットデータに復元し、データ出力回路（周辺回路）等に出力する。データバス線DATAは、メモリコアの端から出力パッド付近まで配線されており、その配線長は長い。

【0058】

送信回路40は、デコーダ44、可変遅延回路46、および出力部48を有している。デコーダ44は、メモリコアから読み出されるデータDT0、DT1をデコードし、デコード結果（論理値に対応）を可変遅延回路46に出力する。可変遅延回路46は、基準タイミング信号TZをデコード結果に応じて所定時間遅延させ、遅延させた信号を出力部48に出力する。出力部48は、受けた信号を信号SIGとしてデータバス線DATAに出力する。基準タイミング信号TZは、例えば、外部か

ら供給されるクロック信号に同期した内部クロック信号である。

【0059】

受信回路42は、遅延回路50、ラッチ52a、52b、52c、およびエンコーダ54を有している。遅延回路50は、基準タイミング信号TZを受信し、この基準タイミング信号TZと位相の異なる4つのタイミング信号TDZ1、TDZ2、TDZ3、TDZ4を生成する。ラッチ52a、52b、52cは、それぞれタイミング信号TDZ1、TDZ2、TDZ3に同期して信号SIGをラッチする。エンコーダ54は、ラッチ52a、52b、52cにラッチされた信号SIGの論理レベルに基づいて2ビットの論理値RDT0、RDT1を生成する。この実施形態では、論理値RDT1、RDT2は論理値DT0、DT1と同じである。すなわち、受信回路42は、メモリコアから読み出された元のデータを復元する。なお、受信回路42で生成する論理値RDT0、RDT1は、元の論理値DT0、DT1と異なっていてもよい。例えば、受信回路42は、元の論理値の反転論理を生成してもよい。

【0060】

このように、ラッチ52a、52b、52cおよびエンコーダ54は、送信回路40から伝送される信号SIGの位相とタイミング信号TDZ1-TDZ4とをそれぞれ比較し、信号SIGの基準タイミング信号TZに対する遅延時間を検出する比較回路として動作する。なお、受信回路42が受ける基準タイミング信号TZは、送信回路40が受ける基準タイミング信号TZに対して、データバス線DATAの負荷に対応する分だけ遅れて供給される。

【0061】

図15は、図14の送信回路40の詳細を示している。デコーダ44は、メモリコアから読み出された論理値DT0、DT1をリードアンプ40aを介して受信し、受信したデータをデコードする。すなわち、論理値DT0、DT1に応じて、デコード信号T0、T1、T2、T3のいずれかが低レベルに変化する。

可変遅延回路46は、縦続接続された4つの遅延段46a、46b、46c、46dと、デコード信号T0-T3でそれぞれ制御されるスイッチ回路46e、46f、46g、46hとを有している。遅延段46a-46dは、それぞれ基準タイミング信号TZを所定時間遅らせた遅延信号DLY1、DLY2、DLY3、DLY4を出力する

。遅延段46a-46dの遅延時間は、ほぼ4nsに設定されている。したがって、遅延信号DLY1-DLY4は、基準タイミング信号TZに対して順次4nsずつ遅れて出力される。

【0062】

スイッチ回路46e-46hは、CMOS伝達ゲートおよびCMOS伝達ゲートを制御するインバータで構成されている。スイッチ回路46e-46hは、一方の端子で遅延信号DLY1-DLY4をそれぞれ受け、他方の端子を出力部48に接続している。そして、遅延信号DLY1-DLY4のいずれかが、デコード信号T0-T3に応じて出力部48に出力される。

【0063】

出力部48は、可変遅延回路46から出力される遅延信号をラッチするラッチ回路48aと出力バッファ48bとを有している。図13に示したタイミングを有する信号SIGは、ラッチ回路48aにラッチされ、出力バッファ48bから出力される。

図16は、図14の受信回路42における遅延回路50およびラッチ回路52a、52b、52cの詳細を示している。遅延回路50は、縦続接続された4つの遅延段50a、50b、50c、50dを有している。遅延段50a-50dは、それぞれ基準タイミング信号TZを所定時間遅らせたタイミング信号TDZ1、TDZ2、TDZ3、TDZ4を出力する。遅延段50aの遅延時間は、ほぼ8nsに設定され、遅延段50b-50dの遅延時間は、ほぼ4nsに設定されている。したがって、タイミング信号TDZ1、TDZ2、TDZ3、TDZ4は、基準タイミング信号TZに対してそれぞれ8ns、12ns、16ns、20ns遅れて出力される。

【0064】

ラッチ回路52a、52b、52cは、CMOS伝達ゲート、CMOS伝達ゲートを制御するインバータ、およびラッチで構成されている。ラッチ回路52aは、タイミング信号TDZ1の立ち上がりエッジに同期して信号SIGの論理レベルをラッチする。ラッチ回路52bは、タイミング信号TDZ2の立ち上がりエッジに同期して信号SIGの論理レベルをラッチする。ラッチ回路52cは、タイミング信号TDZ3の立ち上がりエッジに同期して信号SIGの論理レベルをラッチする。このため、信

号SIGの立ち上がりエッジが、タイミング信号の立ち上がりエッジに対して早いとき、そのラッチ回路には高レベルがラッチされる。信号SIGの立ち上がりエッジが、タイミング信号の立ち上がりエッジに対して遅いとき、そのラッチ回路には低レベルがラッチされる。

【0065】

上述したように、タイミング信号TDZ1-TDZ3の基準タイミング信号TZに対する遅れは、それぞれ8ns、12ns、16nsであり、信号SIGの基準タイミング信号TZに対する遅れは、6ns、10ns、14ns、18nsのいずれかである。すなわち、この実施形態では、ラッチ回路52a-52cが正しく動作するためのタイミング余裕は、2nsに設定されている。ラッチ回路52a-52cにラッチされたデータは、それぞれラッチ信号L1、L2、L3およびその反転信号/L1、/L2、/L3として出力される。

【0066】

図17は、図14の受信回路42におけるエンコーダ54の詳細を示している。エンコーダ54は、ラッチ信号L1、L2、L3、/L1、/L2、/L3をデコードするデコーダ56と、デコーダ56のデコード結果に応じて2ビットの論理値を生成するデータ生成回路58とを有している。

デコーダ56は、図14の送信回路40から転送される論理値DT1、DT0に応じてデコード信号T5、T6、T7、T8のいずれかを低レベルにする。例えば、図中の括弧内に示したように、論理値DT1、DT0が"00"のときデコード信号T5が低レベルに変化し、論理値DT1、DT0が"01"のときデコード信号T6が低レベルに変化する。

【0067】

データ生成回路58は、NAND回路58a、58b、58c、58dと、CMOS伝達ゲート58e、58f、58g、58hと、ラッチ58i、58jと、スイッチ回路58k、58lと、ラッチ58m、58nとを有している。

NAND回路58a-58dは、タイミング信号TDZ4の低レベル時に動作してデコード信号T5-T8の論理演算をし、タイミング信号TDZ4の高レベル時に非活性化されて低レベルを出力する。すなわち、タイミング信号TDZ4の立ち上がりエッジに同期してエンコードされるデータが決定する。タイミング信号TDZ4は、図16に

示したように、最も遅いタイミング信号TDZ3をさらに遅延させた信号である。このため、データ生成回路58は、タイミング信号TDZ4を用いることで、受信したデータを高速かつ確実にエンコードできる。

【0068】

CMOS伝達ゲート58e-58hは、NAND回路58a-58dの出力によりそれぞれ制御されている。ノードND0は、CMOS伝達ゲート58eのオンにより高レベルに変化し、CMOS伝達ゲート58fのオンにより低レベルに変化する。ノードND1は、CMOS伝達ゲート58gのオンにより高レベルに変化し、CMOS伝達ゲート58hのオンにより低レベルに変化する。

【0069】

ラッチ58i、58jは、それぞれノードND0、ND1の論理レベルを反転した値を保持する。スイッチ回路58k、58lは、タイミング信号TDZ4の高レベル時にオンし、ラッチ58iとラッチ58mおよびラッチ58lとラッチ58nをそれぞれ接続する。ラッチ58m、58nは、ラッチした値を反転し、論理値RDT0、RDT1として出力する。論理値RDT0、RDT1は、ノードND0、ND1と同じ論理レベルである。

【0070】

図18は、送信回路40および受信回路42の動作を示している。送信回路40は、チップの外部から供給される外部クロック信号CLKを使用して基準タイミング信号TZを生成している。説明を簡単にするため、送信回路40および受信回路42で使用する基準タイミング信号TZのタイミングを同一にしている。実際には、受信回路42で使用する基準タイミング信号TZのタイミングは、データバス線DATAの負荷に合わせて遅延されている。

【0071】

メモリコアから読み出されたデータは、外部クロック信号CLKに同期して受信回路42に伝達され、次の外部クロック信号CLKに同期してチップの外部に出力される。この例では、0番目-3番目の外部クロック信号CLKに同期して、それぞれデータ（論理値DT1、DT0）"00"、"01"、"10"、"11"が受信回路42に伝達される。

【0072】

まず、送信回路40において、0番目の基準タイミング信号TZの立ち上がりエッジに同期して図15のリードアンプ40aが動作し、データDT0、DT1のレベルを増幅する。デコーダ44は、増幅されたデータDT0、DT1（="00"）をデコードし、デコード信号T0のみ低レベルに変化させる（図18（a））。

図15の可変遅延回路46は、基準タイミング信号TZに同期して、順次遅延信号DLY1-DLY4を出力する（図示せず）。可変遅延回路46のスイッチ回路46eは、デコード信号T0に応じてオンし、遅延信号DLY1を出力部48に伝達する。そして、論理値に応じた信号SIGが、送信回路40から出力される（図18（b））。

図16の受信回路42内の遅延回路50は、基準タイミング信号TZに同期して、タイミング信号TDZ1-TDZ4を順次出力する（図18（c）、（d））。伝送された信号SIGの立ち上がりエッジのタイミングは、タイミング信号TDZ1-TDZ4の立ち上がりエッジのタイミングより早い。このため、ラッチ回路52a、52b、52cは、それぞれ高レベルの信号SIGを取り込み、高レベルのラッチ信号L1-L3および低レベルのラッチ信号/L1-/L3を出力する（図示せず）。

【0073】

図17のエンコーダ54内のデコーダ56は、ラッチ信号L1-L3、/L1-/L3をデコードし、デコード信号T5のみ低レベルに変化させる（図18（e））。デコード信号T5の変化により、データ生成回路58のNAND回路58b、58dの出力が高レベルに変化し、CMOS伝達ゲート58f、58hがオンする。この結果、ノードND0、ND1は、ともに低レベルに変化し、論理値RDT0、RDT1は、低レベルに変化する（図18（f））。すなわち、メモリコアから読み出されたデータが、受信回路42で復元される。この後、論理値RDT0、RDT1は、1番目の外部クロック信号CLKに同期して読み出しデータとして外部に出力される。

【0074】

この後、0番目のクロックサイクルと同様に、1番目-3番目の外部クロック信号CLKに同期して、論理値"01"、"10"、"11"が、送信回路40から受信回路42に伝送される。

以上、この実施形態では、データバス線DATA上を伝達される信号SIGの遷移エッジと基準タイミング信号TZの遷移エッジとの時間差によって、論理値を表現した。このため、1本の信号線で複数ビットの論理値を伝送できる。したがって、信号線の本数を従来に比べ減らすことができる。信号線の本数が少なくて済むため、信号の出力回路（出力バッファ）の数および入力回路（入力バッファ）の数を減らすことができる。動作する回路が少なくなるため、信号の送信側および受信側の双方において、消費電力を小さくできる。

【0075】

信号線の本数が少なくて済むため、信号線の配線領域を小さくできる。特に、データまたはアドレス等のように、一般にビット数の多い信号に本発明を適用すると高い効果を得られる。簡易な送信回路40で論理値を信号に変換し、簡易な受信回路42で信号を論理値に変換できる。

送信回路40および受信回路42と同じ半導体メモリデバイスに形成し、メモリコアから読み出されるデータのデータバス線DATAの数を減らした。このため、半導体メモリデバイス内の配線領域を小さくできる。この結果、半導体メモリデバイスのチップサイズを小さくでき、チップコストを低減できる。

【0076】

図19は、本発明の入出力インターフェースおよび半導体集積回路の第3の実施形態を示している。この実施形態は、請求項6、請求項7、請求項9、および請求項10に対応している。第2の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。

一般に、DRAM等の半導体メモリデバイスでは、チップの大半にメモリセルが形成されている。このため、チップの一端側のメモリセルから読み出されるデータを送信する送信回路40と、チップの他端側のメモリセルから読み出されるデータを送信する送信回路40とは、互いに離れた位置に配置されることが多い。また、一方の送信回路40と他方の送信回路と、受信回路42との距離が異なる場合、送信回路40と受信回路42とを接続するデータバス線DATAの長さは、それぞれ異なる。この際、送信回路40に入力される基準タイミング信号TZのタイミングがともに等しい場合、受信回路42側において、基準タイミング信号TZに対

する信号SIGの遅延量（相対量）が、送信回路40の位置に対応して変化してしまう。したがって、受信回路42に入力される基準タイミング信号TZのタイミングを、信号SIGを出力する送信回路40応じて調整する必要がある。

【0077】

例えば、メモリコアおよび送信回路40を選択するブロック選択信号BK0Z、BK1Zおよび抵抗R1、R2を利用して、受信回路42側において信号SIGの遅延量を簡単に調整できる。図に示した例では、配線負荷の大きい下側の送信回路40から信号SIGが出力されるとき、抵抗の大きいR2により基準タイミング信号TZが遅延される。配線負荷の小さい上側の送信回路40から信号SIGが出力されるとき、抵抗の小さいR1により基準タイミング信号TZが遅延される。

【0078】

なお、基準タイミング信号TZを生成する回路が、図の下側の送信回路40の近くに配置されている場合、2つの送信回路40間での基準タイミング信号TZの信号線の負荷とデータバス線DATAの負荷とは、ほぼ等しくなる。この場合、基準タイミング信号TZに対する信号SIGの遅延量（相対量）は、一定になるため、受信回路42に入力する基準タイミング信号TZのタイミングを調整する必要はない。

【0079】

この実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。さらに、半導体メモリデバイス内で複数の送信回路40と受信回路との間に配線されるデータバス線DATAの負荷の違いによる受信データの取り込みタイミングのずれを防ぐことができる。

図20は、本発明の入出力インターフェースおよび半導体集積回路の第4の実施形態を示している。この実施形態は、請求項6ないし請求項10に対応している。第2の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。

【0080】

この実施形態では、半導体集積回路（半導体チップ）60、62に第2の実施形態の送信回路40および受信回路42が形成されている。半導体集積回路60、62は、例えば、プリント基板上に搭載され、プリント基板上のシステムバス

を介して接続されている。そして、半導体集積回路60、62は、互いにデータを送受信する。

【0081】

半導体集積回路60、62の入出力インターフェース回路は、同一であるため、以下、半導体集積回路60についてのみ説明する。半導体集積回路60は、SIG入力バッファ64（第1入力回路）、SIG出力バッファ66（第1出力回路）、TZ入力バッファ68（第2入力回路）、TZ出力バッファ70（第2出力回路）、TZ生成回路（信号生成回路）72、およびクロック入力バッファ74を有している。

【0082】

SIG入力バッファ64は、半導体集積回路62が出力する信号SIGを受信回路42に出力する。SIG出力バッファ66は、送信回路40から出力される信号SIGをデータバス線DATAに出力する。TZ入力バッファ68は、半導体集積回路62が出力する基準タイミング信号TZを受信回路42に出力する。TZ出力バッファ70は、TZ生成回路72から出力される基準タイミング信号TZOUTを送信回路40に出力する。すなわち、TZ生成回路72で生成された基準タイミング信号TZOUTは、システムバスに直接出力されるのではなく、TZ出力バッファ70を介して出力される。TZ生成回路72は、クロック入力バッファ74から出力される内部クロック信号CLK1に同期する基準タイミング信号TZOUTを生成する。クロック入力バッファ74は、外部からの外部クロック信号CLKを受け、内部クロック信号CLK1として出力する。

【0083】

SIG入力バッファ64の入力およびSIG出力バッファ66の出力は、共通の外部端子を介してデータバス線DATAに接続されている。同様に、TZ入力バッファ68およびTZ出力バッファ70は、共通の外部端子を介して基準タイミング信号TZの信号線に接続されている。データバス線DATAおよび基準タイミング信号TZの信号線を双方向にすることで、さらに信号線の配線領域を減らすことができる。

【0084】

半導体集積回路60は、信号SIGを受信するときに、SIG入力バッファ64、TZ

入力バッファ68を動作し、信号SIGを送信するときに、SIG出力バッファ66、TZ出力バッファ70、およびTZ生成回路72を動作する。このように、半導体集積回路60、62に送信回路40および受信回路42を形成することで、少ない数のデータバス線DATAを使用して、信号SIGを双方向に伝送できる。

【0085】

この実施形態においても、上述した第2の実施形態と同様の効果を得ることができる。さらに、送信回路40および受信回路42が、複数の半導体集積回路上にそれぞれ形成されるため、少ない信号線でデータの送受信ができる。

また、SIG入力バッファ64の入力およびSIG出力バッファ66の出力を共通の外部端子に接続し、信号線を双方向にしたので、さらに信号線の本数を削減できる。同様に、TZ入力バッファ68の入力およびTZ出力バッファ70の出力を共通の外部端子に接続し、基準タイミング信号TZの信号線を双方向にしたので、さらに信号線の本数を削減できる。

【0086】

図21は、本発明の入出力インターフェースおよび半導体集積回路の第5の実施形態を示している。この実施形態は、請求項6ないし請求項10に対応している。第2および第4の実施形態と同じ要素については、同じ符号を付し、詳細な説明は省略する。この実施形態の発明は、メモリインターフェースデバイス76およびシステムバスに適用されている。メモリインターフェースデバイス76は、システムバスと半導体メモリデバイス78とを接続している。半導体メモリデバイス78は、例えば、従来型のSDRAM（汎用メモリ）である。

【0087】

メモリインターフェースデバイス76は、図20と同じ受信回路42、送信回路40、SIG入力バッファ64、SIG出力バッファ66、TZ入力バッファ68、TZ出力バッファ70、TZ生成回路72、およびクロック入力バッファ74を有している。さらに、メモリインターフェースデバイス76は、アドレス入力バッファ80、コマンド入力バッファ82、およびアドレス信号ADを受ける受信回路42を有している。この実施形態は、データバスおよびアドレスバスに本発明を適用している。

【0088】

アドレス入力バッファ80は、基準タイミング信号TZに同期してシステムバスからアドレス信号ADを受け、受けたアドレスをアドレス用の受信回路42に出力する。コマンド入力バッファ82は、システムバスからコマンド信号CMDを受け、受けたコマンドを半導体メモリデバイス78に出力する。データ用の受信回路42で受信したデータおよび半導体メモリデバイス78から読み出され送信回路40に供給されるデータ（入出力データ）は、入出力共通のデータバス線を介して伝達される。

【0089】

この実施形態では、システムバスを介して供給されるデータおよびアドレスは、メモリインターフェースデバイス76により従来の複数ビットからなるデータおよびアドレスに変換され、半導体メモリデバイス78に供給される。そして、書き込み動作等が実行される。また、読み出し動作により半導体メモリデバイス78から読み出される複数ビットからなるデータは、メモリインターフェースデバイス76により本発明のインターフェースに変換され、システムバスに出力される。

【0090】

コマンド信号CMDおよび外部クロック信号CLKは、メモリインターフェースデバイス76を介さずに、システムバスから直接半導体メモリデバイス78に供給してもよい。しかし、コマンド入力バッファ82およびクロック入力バッファ74を介することで、データおよびアドレスに対して最適なタイミングに設定できる。

【0091】

この実施形態においても、上述した第2および第4の実施形態と同様の効果を得ることができる。さらに、本発明をデータ信号のインターフェースだけでなく、アドレス信号のインターフェースにも適用したので、システムバスの信号線の本数を第4の実施形態に比べ減らすことができ、消費電力をさらに低減できる。

また、本発明をメモリインターフェースデバイス76に適用したので、従来から量産されている汎用メモリを、本発明を採用したシステムバスに容易に接続できる。

【0092】

なお、上述した第1の実施形態では、信号の論理をパルス信号により表現した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号の立ち上がりエッジまたは立ち下がりエッジの一方を使用し、その順序の組み合わせで論理を表現してもよい。さらに、信号の3つ以上の遷移エッジの順序をそれぞれ組み合わせて論理を表現してもよい。

【0093】

上述した第1の実施形態では、送信回路14にオープンドレインタイプの出力トランジスタを形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、信号線に接続される送信回路、受信回路の数、仕様に合わせて3ステートの出力回路を形成してもよく、単にインバータからなる出力バッファを形成してもでもよい。

【0094】

上述した第1の実施形態では、本発明を異なる半導体集積回路間でデータを伝送するための入出力インターフェースに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、同じチップに搭載される機能ブロック間でデータを伝送するための入出力インターフェースに適用してもよい。一例として、CPUとメモリとが同じチップ上に搭載されるシステムLSIにおいて、CPUからメモリに出力されるアドレス信号の伝送に本発明を適用してもよい。

【0095】

上述した第2の実施形態では、本発明をメモリコアから読み出されるデータを周辺回路に伝達するインターフェースに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を周辺回路からメモリコアに書き込みデータを伝達するインターフェースに適用してもよい。

上述した第2の実施形態では、送信回路40および受信回路42を同一の半導体メモリデバイスに形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、送信回路40および受信回路42を別の半導体チップに形成することで、半導体チップ間を配線される信号線の数を減らすことができる。例えば、半導体チップがプリント基板上に実装される場合、プリント基

板の信号線領域を小さくできる。この結果、プリント基板が小さくなるため、システムを小型化でき、システムのコストを低減できる。

【0096】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 複数の信号線上をそれぞれ伝達される複数の信号の遷移エッジのタイミングの順序によって、論理値を表現することを特徴とする入出力インターフェース。

(付記2) 付記1記載の入出力インターフェースにおいて、

前記信号は、複数の遷移エッジを有しており、

前記論理値は、前記信号の前記各遷移エッジのタイミングの順序を組み合わせて表現されることを特徴とする入出力インターフェース。

【0097】

(付記3) 付記2記載の入出力インターフェースにおいて、

前記信号は、パルス信号であり、

前記論理値は、前記パルス信号の遷移エッジのタイミングの順序を用いて表現されることを特徴とする入出力インターフェース。

(付記4) 付記3記載の入出力インターフェースにおいて、

前記論理値は、前記パルス信号の前エッジのタイミングの順序および後エッジのタイミングの順序を組み合わせて表現されることを特徴とする入出力インターフェース。

【0098】

(付記5) 付記4記載の入出力インターフェースにおいて、

前記信号線は、3本以上で構成されていることを特徴とする入出力インターフェース。

(付記6) 付記1記載の入出力インターフェースにおいて、

前記信号は、データおよびアドレスの少なくともいずれかを表す信号であることを特徴とする入出力インターフェース。

【0099】

(付記7) 付記1記載の入出力インターフェースにおいて、

前記信号を送信する装置は、

遷移エッジのタイミングが互いに異なる複数のタイミング信号のいずれかを、前記論理値に応じて前記信号線毎に選択し、選択した該タイミング信号にそれぞれ同期して前記信号を生成する送信回路を備えていることを特徴とする入出力インターフェース。

【0100】

(付記8) 付記7記載の入出力インターフェースにおいて、

前記送信回路は、

複数の遅延段が継続接続され、初段の該遅延段で基準信号を受け、各遅延段から前記基準信号を遅延させた前記タイミング信号を出力する遅延回路と、

前記タイミング信号のいずれかを、前記論理値に応じて前記信号線毎に選択する選択回路と、

選択された前記タイミング信号に同期して、前記信号の遷移エッジを生成するエッジ生成回路とを備えていることを特徴とする入出力インターフェース。

【0101】

(付記9) 付記8記載の入出力インターフェースにおいて、

前記信号は、パルス信号であり、

前記論理値は、前記パルス信号の前エッジのタイミングの順序および後エッジのタイミングの順序を組み合わせて表現され、

前記遅延回路は、前記前エッジ用および前記後エッジ用の前記タイミング信号をそれぞれ出力し、

前記選択回路は、前記前エッジ用および前記後エッジ用の選択回路で構成され

前記エッジ生成回路は、各選択回路で選択された前記前エッジ用および前記後エッジ用の前記タイミング信号にそれぞれ同期して前記パルス信号の前エッジおよび後エッジを生成することを特徴とする入出力インターフェース。

【0102】

(付記10) 付記9記載の入出力インターフェースにおいて、

前記エッジ生成回路は、オープンドレインタイプの出力トランジスタを備えて

いることを特徴とする入出力インターフェース。

(付記11) 付記8記載の入出力インターフェースにおいて、
前記送信回路は、前記論理値をデコードするデコーダを備え、
前記選択回路は、前記デコーダのデコード結果に応じて前記タイミング信号を
選択することを特徴とする入出力インターフェース。

【0103】

(付記12) 付記1記載の入出力インターフェースにおいて、
前記信号を受信する装置は、
前記信号の遷移エッジのタイミングの順序を比較する比較回路と、前記比較回
路での比較結果に基づいて論理値を生成する論理値生成回路を有する受信回路を
備えていることを特徴とする入出力インターフェース。

【0104】

(付記13) 付記12記載の入出力インターフェースにおいて、
前記受信回路が生成する前記論理値は、前記信号を送信する装置で扱われる元
の論理値であることを特徴とする入出力インターフェース。

(付記14) 付記12記載の入出力インターフェースにおいて、
前記信号は、複数の遷移エッジを有しており、
前記比較回路は、前記信号の前記各遷移エッジのタイミングの順序を比較する
複数の比較器を備えていることを特徴とする入出力インターフェース。

【0105】

(付記15) 付記14記載の入出力インターフェースにおいて、
前記信号は、パルス信号であり、
前記複数の比較器は、前記パルス信号の前エッジ同士を比較する複数の第1比
較器および後エッジ同士をそれぞれ比較する複数の第2比較器であることを特徴
とする入出力インターフェース。

【0106】

(付記16) 付記12記載の入出力インターフェースにおいて、
前記比較回路は、互いに異なる2つの前記信号を受ける複数のフリップフロッ
プを備え、

前記遷移エッジのタイミングの順序は、複数の前記フリップフロップの出力レベルに基づいて判定されることを特徴とする入出力インターフェース。

【0107】

(付記17) 付記12記載の入出力インターフェースにおいて、

前記論理値生成回路は、前記比較結果をデコードし、デコード結果に基づいて前記論理値を生成するデコーダを備えていることを特徴とする入出力インターフェース。

(付記18) 付記1記載の入出力インターフェースにおいて、

前記信号を送信する回路および前記信号を受信する回路は、それぞれ別の半導体チップ上に形成されていることを特徴とする入出力インターフェース。

【0108】

(付記19) 付記1記載の入出力インターフェースにおいて、

前記信号を送信する回路および前記信号を受信する回路は、同じ半導体チップ上に形成されていることを特徴とする入出力インターフェース。

(付記20) 遷移エッジのタイミングが互いに異なる複数のタイミング信号を生成するタイミング信号生成回路と、

論理値に応じて、前記タイミング信号のいずれかを複数の信号線毎に選択する選択回路と、

選択した前記タイミング信号にそれぞれ同期して信号を生成し、生成した前記信号を出力するエッジ生成回路を有する送信回路を備えていることを特徴とする半導体集積回路。

【0109】

(付記21) 複数の信号線を介してそれぞれ伝達される複数の信号における遷移エッジのタイミングの順序を比較する比較回路と、

前記比較回路での比較結果に基づいて論理値を生成する論理値生成回路とを有する受信回路を備えていることを特徴とする半導体集積回路。

(付記22) 信号線上を伝達される信号の遷移エッジと基準タイミング信号の遷移エッジとの時間差によって、論理値を表現することを特徴とする入出力インターフェース。

【0110】

(付記23) 付記22記載の入出力インターフェースにおいて、

複数ビットで表現される論理値をそれぞれ所定の遅延時間に変換し、基準タイミング信号に対して前記遅延時間だけ遅れた前記信号を前記信号線に出力する送信回路と、

前記信号線を介して伝達される前記信号の遷移エッジの前記基準タイミング信号に対する遅延時間を検出し、この遅延時間に応じて論理値を生成する受信回路とを備えていることを特徴とする入出力インターフェース。

【0111】

(付記24) 付記23記載の入出力インターフェースにおいて、

前記送信回路は、前記基準タイミング信号を前記論理値に応じて遅延させ、前記信号を生成する可変遅延回路を備えていることを特徴とする入出力インターフェース。

(付記25) 付記23記載の入出力インターフェースにおいて、

前記受信回路は、前記基準タイミング信号に基づいて該基準タイミング信号と位相の異なる複数のタイミング信号を生成する遅延回路と、

前記信号の位相と前記タイミング信号の位相とをそれぞれ比較し、前記信号の前記基準タイミング信号に対する遅延時間を検出する比較回路とを備えていることを特徴とする入出力インターフェース。

【0112】

(付記26) 付記25記載の入出力インターフェースにおいて、

前記比較回路は、前記信号を前記タイミング信号でそれぞれラッチする複数のラッチ回路と、

前記ラッチ回路にそれぞれラッチされた信号の論理レベルに基づいて論理値を生成するエンコーダとを備えていることを特徴とする入出力インターフェース。

【0113】

(付記27) 付記23記載の入出力インターフェースにおいて、

前記信号は、データおよびアドレスの少なくともいずれかを表す信号であることを特徴とする入出力インターフェース。

(付記28) 付記23記載の入出力インターフェースにおいて、前記受信回路が生成する前記論理値は、前記信号を送信する装置で扱われる元の論理値であることを特徴とする入出力インターフェース。

【0114】

(付記29) 付記23記載の入出力インターフェースにおいて、前記送信回路および前記受信回路は、それぞれ別の半導体チップ上に形成されていることを特徴とする入出力インターフェース。

(付記30) 付記23記載の入出力インターフェースにおいて、前記送信回路および前記受信回路は、同じ半導体チップ上に形成されていることを特徴とする入出力インターフェース。

【0115】

(付記31) 付記23記載の入出力インターフェースにおいて、前記送信回路および前記受信回路は、複数の半導体チップ上にそれぞれ形成され、

前記各半導体チップは、前記他の半導体チップが出力する前記信号および前記基準タイミング信号をそれぞれ受信する第1入力回路および第2入力回路と、外部クロック信号に基づいて前記基準タイミング信号を生成する信号生成回路と、前記信号を出力する第1出力回路とを備えていることを特徴とする入出力インターフェース。

【0116】

(付記32) 付記31記載の入出力インターフェースにおいて、前記各半導体チップは、前記基準タイミング信号を外部に出力する第2出力回路を備えていることを特徴とする入出力インターフェース。

(付記33) 付記32記載の入出力インターフェースにおいて、前記第2入力回路の入力および前記第2出力回路の出力は、共通の外部端子に接続されていることを特徴とする入出力インターフェース。

【0117】

(付記34) 付記31記載の入出力インターフェースにおいて、前記第1入力回路の入力および前記第1出力回路の出力は、共通の外部端子に

接続されていることを特徴とする入出力インターフェース。

(付記35) 複数ビットで表現される論理値をそれぞれ所定の遅延時間に変換し、基準タイミング信号に対して前記遅延時間だけ遅れた前記信号を信号線に出力する送信回路を備えていることを特徴とする半導体集積回路。

【0118】

(付記36) 信号線を介して伝達される信号の遷移エッジの基準タイミング信号に対する遅延時間を検出し、この遅延時間に応じて論理値を生成する受信回路を備えていることを特徴とする半導体集積回路。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0119】

【発明の効果】

請求項1の入出力インターフェースでは、遷移エッジのタイミングの組み合わせによって、少ない信号線で大量のデータを伝送できる。1回の信号の送信で大量のデータを伝送できるため、データの転送レートを大幅に向上できる。。

請求項2および請求項3の入出力インターフェースでは、信号の複数の遷移エッジにより論理を表現するため、より大量のデータを伝送できる。

請求項4および請求項5の半導体集積回路では、簡易な論理回路により大量のデータを伝送できる。

【0120】

請求項6の入出力インターフェースでは、1本の信号線で複数ビットの論理値を伝送できる。したがって、信号線の本数を従来に比べ減らすことができる。信号線の本数が少なくて済むため、出力回路および入力回路の数を減らすことができ、消費電力を小さくできる。1回の信号の送信で大量のデータを伝送できるため、データの転送レートを大幅に向上できる。また、信号線の配線領域を小さくできる。

【0121】

請求項7の入出力インターフェースおよび請求項9、10の半導体集積回路では

、簡易な送信回路で論理値を信号に変換し、簡易な受信回路で信号を論理値に変換できる。

請求項8の入出力インターフェースでは、少ない信号線でデータの送受信ができる。

【図面の簡単な説明】

【図1】

本発明の第1の基本原理を示す説明図である。

【図2】

第1の実施形態における送信回路の詳細を示すブロック図である。

【図3】

図2のプリデコーダの詳細を示すブロック図である。

【図4】

論理値をデータバス線に出力する信号に変換するための変換テーブルである。

【図5】

図1のデコーダDEC1およびセレクタSEL1の詳細を示す回路図である。

【図6】

図1のデコーダDEC5およびセレクタSEL5の詳細を示す回路図である。

【図7】

図1のエッジ生成回路内のエッジ生成部の詳細を示す回路図である。

【図8】

第1の実施形態における受信回路の詳細を示すブロック図である。

【図9】

図8の比較器の詳細を示す回路図である。

【図10】

データバス線を介して受信した信号を元の論理値に復元するための変換テーブルである。

【図11】

図8のデコーダの詳細を示す回路図である。

【図12】

図8のデコーダの詳細を示す回路図である。

【図13】

本発明の第2の基本原理を示す説明図である。

【図14】

第2の実施形態を示すブロック図である。

【図15】

図14の送信回路の詳細を示す回路図である。

【図16】

図14の受信回路の遅延回路およびラッチ回路の詳細を示す回路図である。

【図17】

図14の受信回路のエンコーダの詳細を示す回路図である。

【図18】

第2の実施形態における送信回路および受信回路の動作を示すタイミング図である。

【図19】

第3の実施形態を示すブロック図である。

【図20】

第4の実施形態を示すブロック図である。

【図21】

第5の実施形態を示すブロック図である。

【符号の説明】

10 装置

12 装置

14 データ送信回路

16 データ受信回路

18 プリデコーダ

20 遅延回路

20a 遅延段

22 選択回路

23 b 比較器
24 選択回路
26 エッジ生成回路
26 a エッジ生成部
28 入力回路
30、32 比較回路
30 b 比較器
34、36 転送回路
38 デコーダ
40 送信回路
40 a リードアンプ
42 受信回路
44 デコーダ
46 可変遅延回路
48 出力部
50 遅延回路
52 a、52 b、52 c ラッチ
54 エンコーダ
56 デコーダ
58 データ生成回路
60、62 半導体集積回路
64 SIG入力バッファ
66 SIG出力バッファ
68 TZ入力バッファ
70 TZ出力バッファ
72 TZ生成回路
74 クロック入力バッファ
76 メモリインタフェースデバイス
78 半導体メモリデバイス

80 アドレス入力バッファ

82 コマンド入力バッファ

CLK 外部クロック信号

D0-D8 論理値

DA、DB、DC、DD データバス

DATA データバス線

DLY1、DLY2、DLY3、DLY4 遅延信号

DT0、DT1 論理値、データ

N1-N8 タイミング信号

RDT0、RDT1 論理値

SIG 信号

STD 基準信号

T0、T1、T2、T3 デコード信号

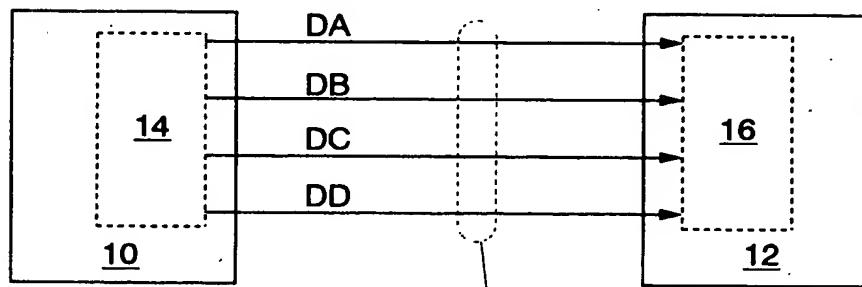
TDZ1、TDZ2、TDZ3、TDZ4 タイミング信号

TZ 基準タイミング信号

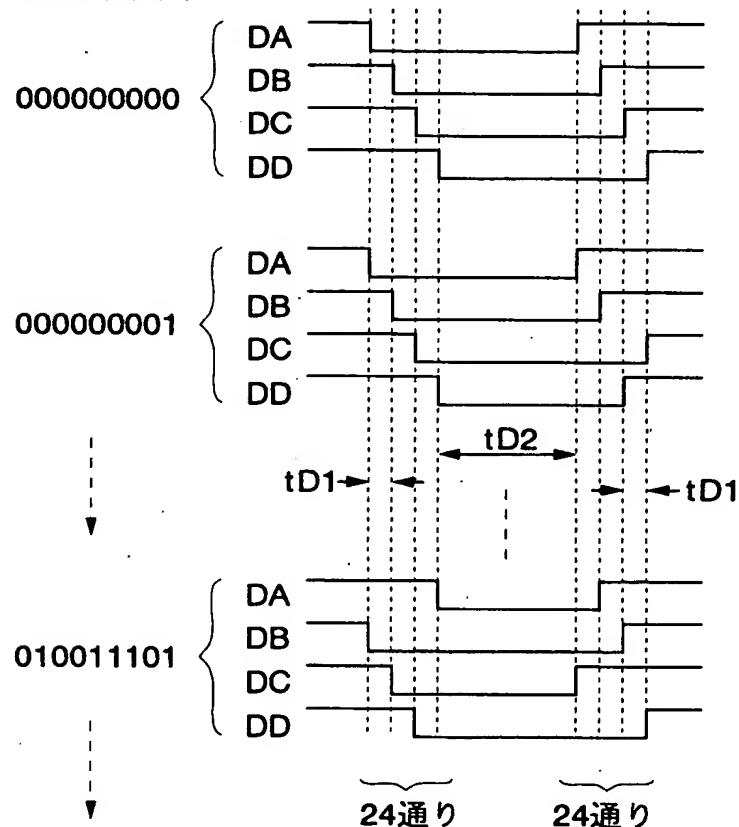
【書類名】 図面

【図1】

本発明の第1の基本原理を示す説明図



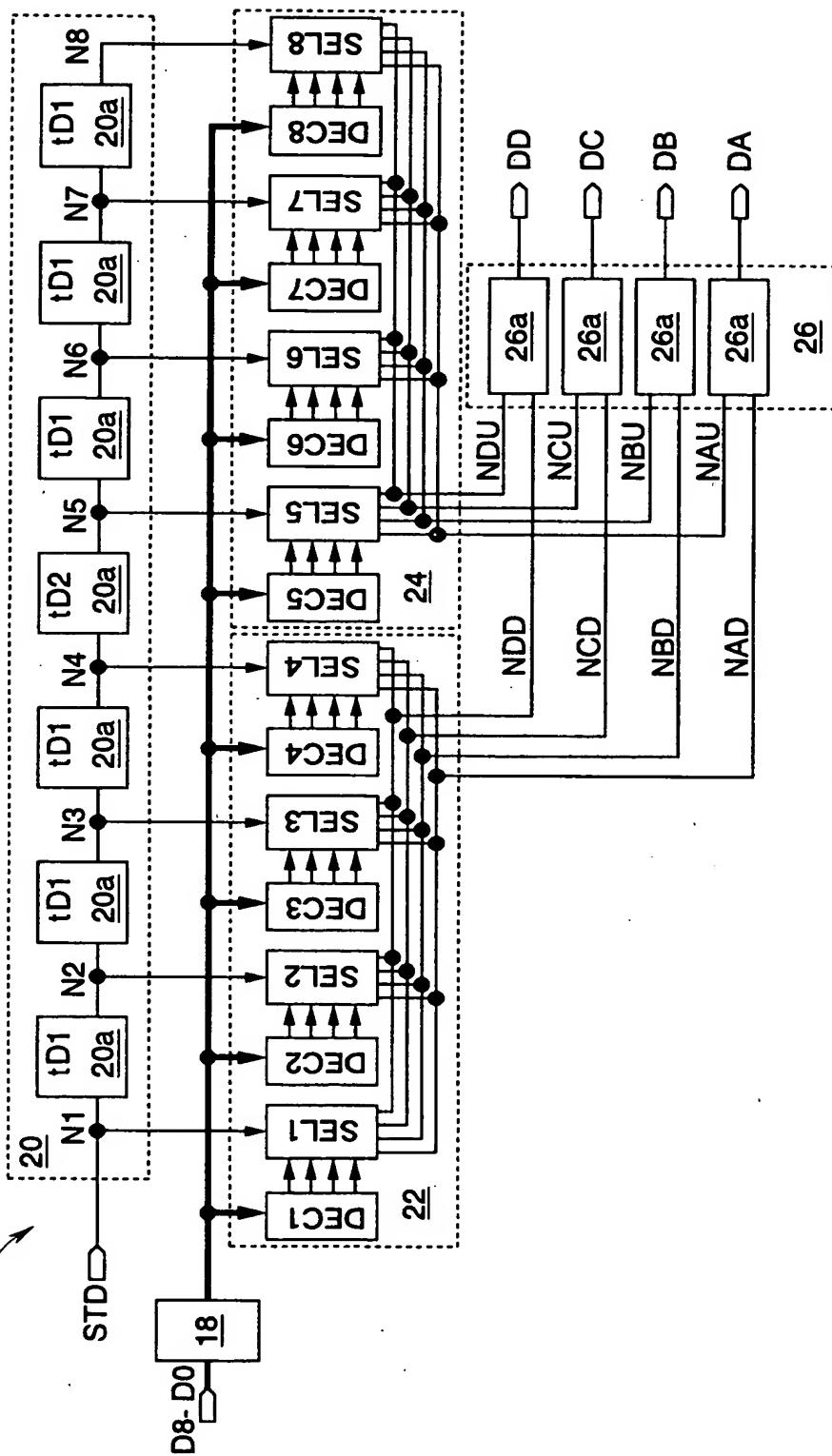
データの論理値(2進)
D8,7,8,5,4,3,2,1,0



【図2】

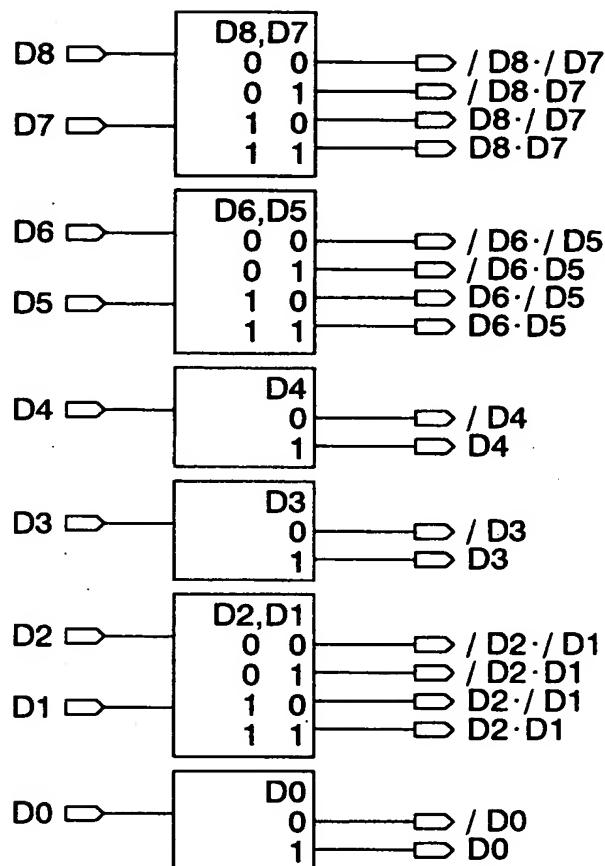
第1の実施形態の送信回路の詳細を示すブロック図

4



【図3】

18 プリデコーダの詳細を示すブロック図



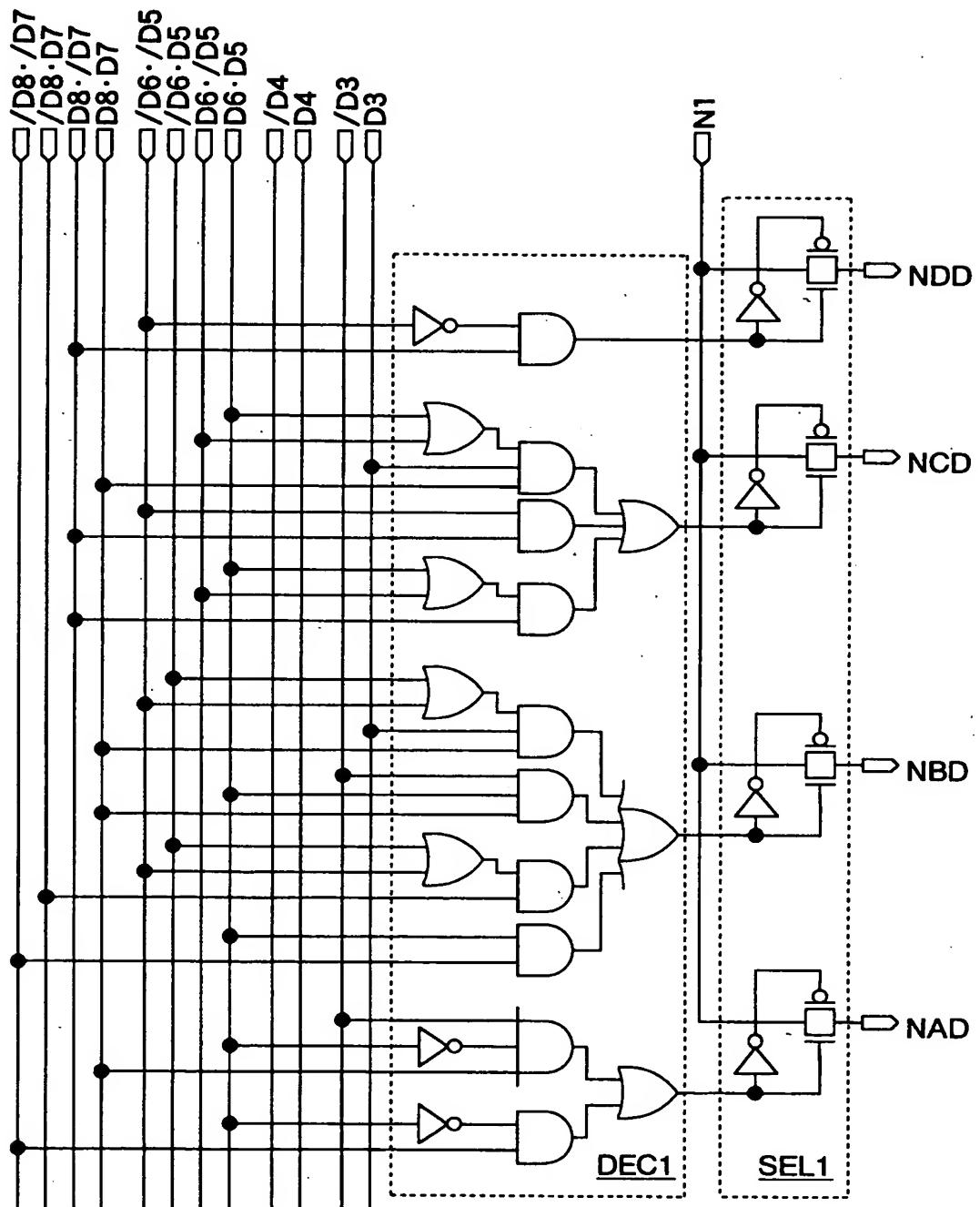
〔図4〕

論理値をデータバス線に出力する信号に変換する変換テーブル

番号	エッジの順番	論理L1				論理L2				論理L3			
		D8,7	D6,5	D4	D3	D8,7	D6,5	D4	D3	D8,7	D6,5	D4	D3
0	ABCD	00	00	0	0	11	00	0	0	11bar	00	0	0
1	ABDC	00	00	1	0	11	00	1	0	11bar	00	0	1
2	ACBD	00	01	0	0	11	01	0	0	11bar	01	0	0
3	ACDB	00	01	1	0	11	01	1	0	11bar	01	1	0
4	ADBC	00	10	0	0	11	10	0	0	11bar	0	10	0
5	ADCB	00	10	1	0	11	10	1	0	11bar	0	10	1
6	BACD	00	11	0	0	11	11	0	0	11bar	0	11	0
7	BADC	00	11	1	0	11	11	1	0	11bar	0	11	1
8	BCAD	01	00	0	0	11	00	0	1	11bar	00	0	0
9	BCDA	01	00	1	0	11	00	1	1	11bar	00	1	0
10	BDAC	01	01	0	0	11	01	0	1	11bar	1	01	0
11	BDDA	01	01	1	0	11	01	1	1	11bar	1	01	1
12	CABD	01	10	0	0	11	10	0	0	11bar	1	10	0
13	CADB	01	10	1	0	11	10	1	1	11bar	1	10	1
14	CBAD	01	11	0	0	11	11	0	1	11bar	1	11	0
15	CBDA	01	11	1	1	11	11	1	1	11bar	1	11	1
16	CDAB	10	00	0	0	11	-	-	00	0	-	-	-
17	CDBA	10	00	1	0	11	-	-	00	1	-	-	-
18	DABC	10	01	0	0	11	-	-	01	0	-	-	-
19	DACB	10	01	1	0	11	-	-	01	0	-	-	-
20	DBAC	10	10	0	0	11	-	-	10	1	-	-	-
21	DBCA	10	10	1	0	11	-	-	11	0	-	-	-
22	DCAB	10	11	0	0	11	-	-	11	0	-	-	-
23	DCBA	10	11	1	1	11	-	-	11	0	-	-	-

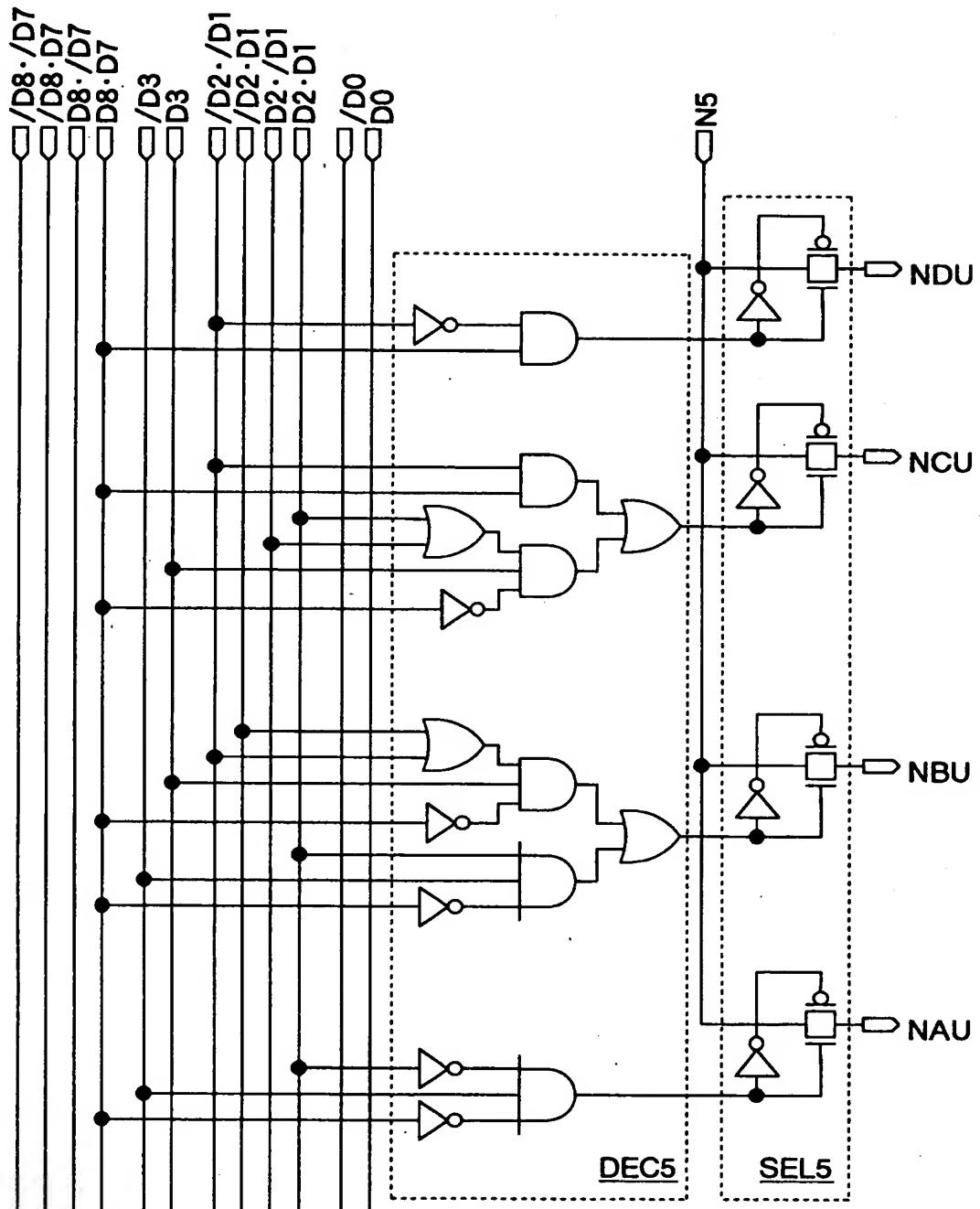
【図5】

前エッジを生成するデコーダおよびセレクタの詳細を示す回路図



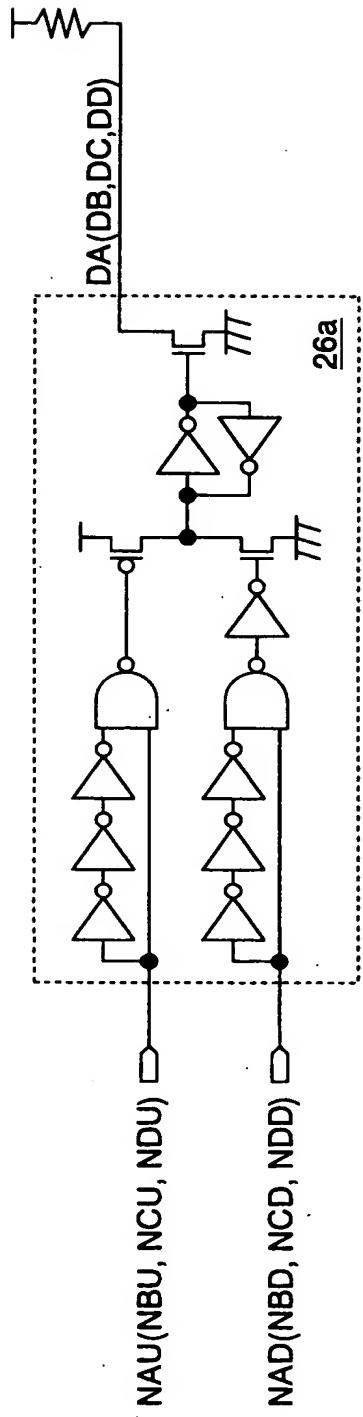
【図6】

後エッジを生成するデコーダおよびセレクタの詳細を示す回路図

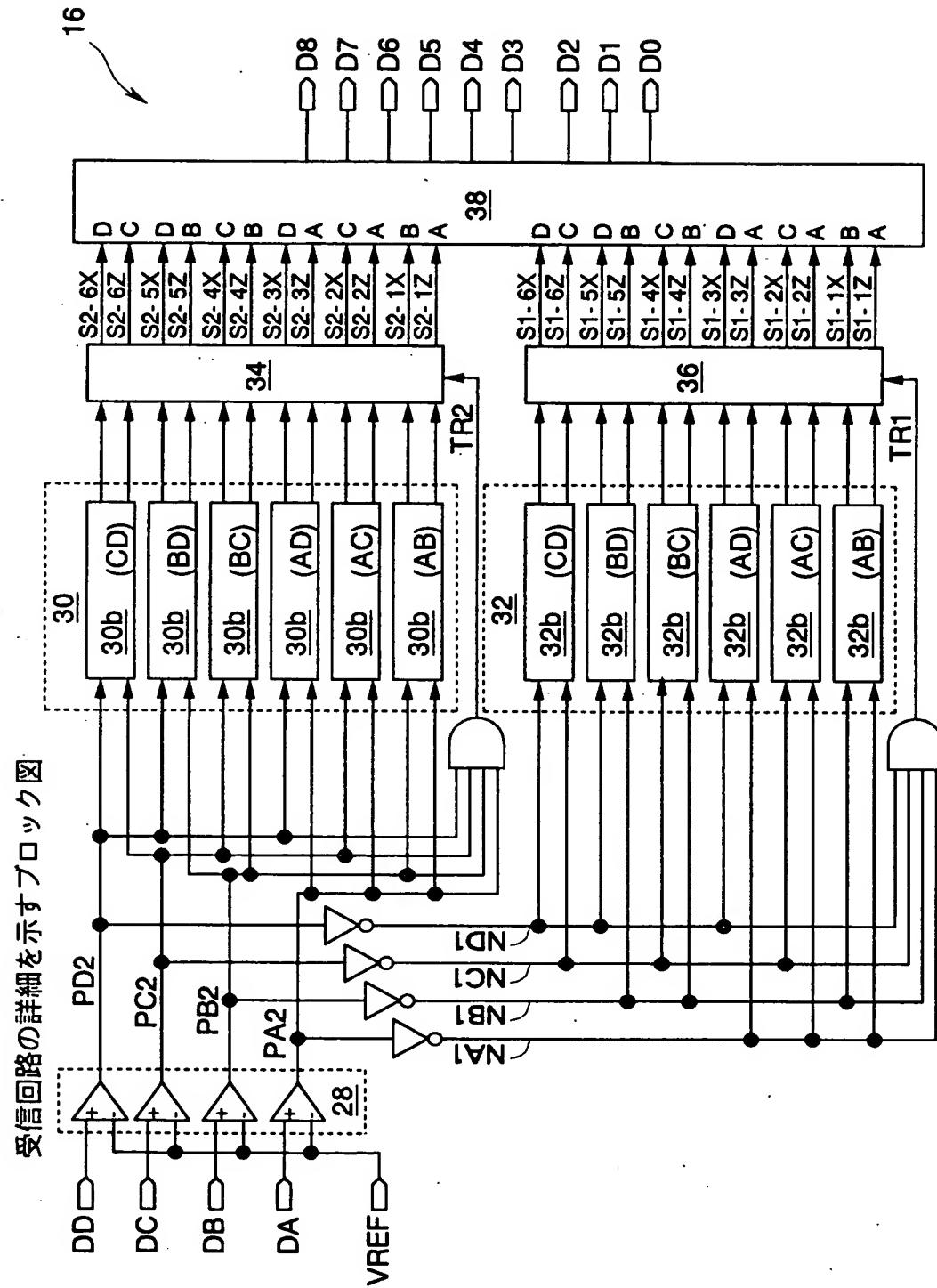


【図7】

エッジ生成部の詳細を示す回路図

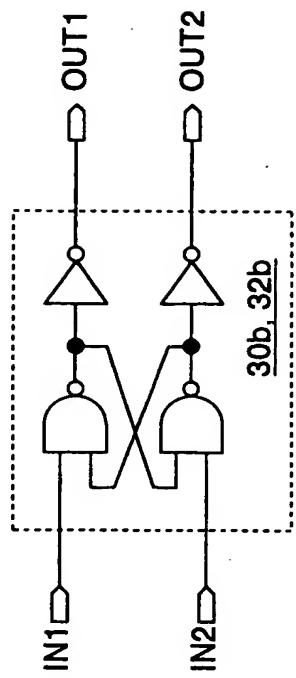


【図8】



【図9】

比較器の詳細を示す回路図



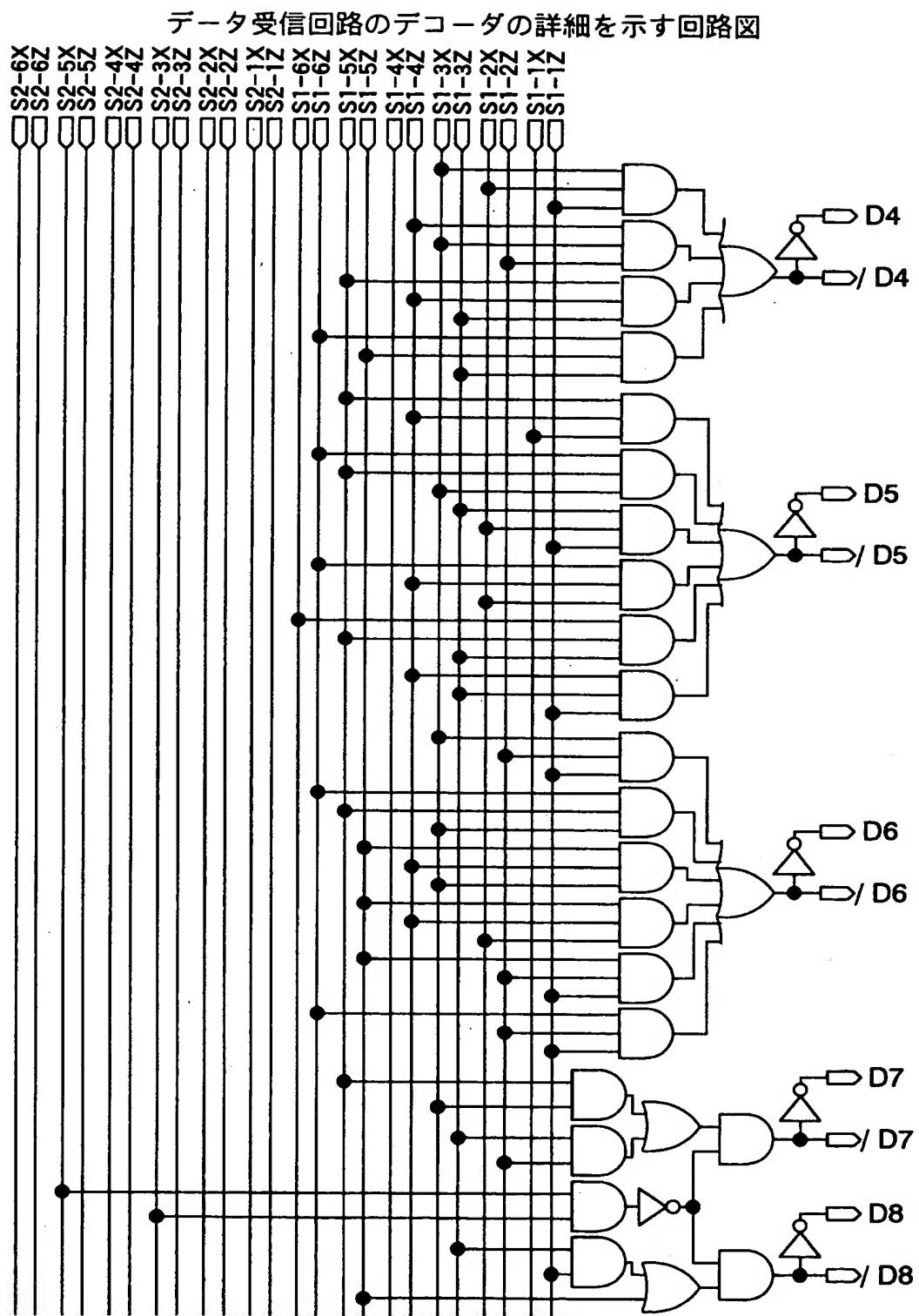
【図10】

データバス線を介して受信した信号を元の論理値に変換する変換テーブル

前エッジ用 後エッジ用

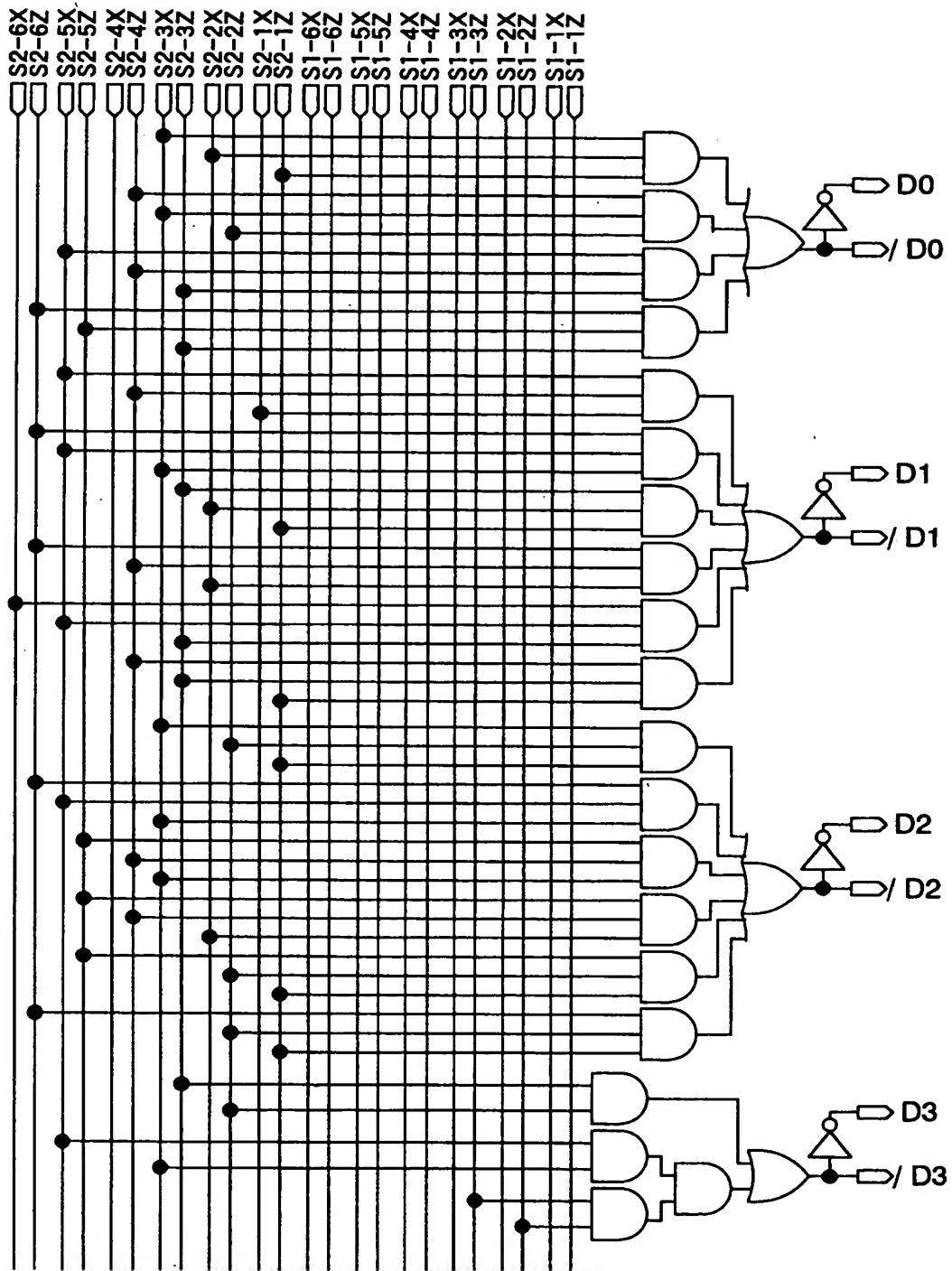
番号	エッジの順番	比較器32bの出力OUT						比較器30bの出力OUT					
		D8,7	D6,5	D4	D3	D8,7	D6,5	D4	D3	D8,7	D6,5	D4	D3
0	ABCD	111111	00	0	0	11	00	0	0	111111	11bar	0	00
1	ABDC	111110	00	1	1	11	00	1	0	111110	11bar	0	00
2	ACBD	111011	00	01	01	11	01	0	0	110111	11bar	0	01
3	ACDB	111001	00	01	11	01	01	0	0	110011	11bar	0	01
4	ADBC	111100	00	10	01	11	10	0	0	111001	11bar	0	10
5	ADCB	111000	00	10	11	11	10	1	0	110001	11bar	0	10
6	BACD	011111	00	11	0	11	11	0	0	011111	11bar	0	11
7	BADC	011110	00	11	1	11	11	0	0	011110	11bar	0	11
8	BCAD	001111	01	00	0	11	00	0	1	001111	11bar	1	00
9	BCDA	000111	01	00	1	11	00	1	1	000111	11bar	1	00
10	BDAC	010110	01	01	0	11	01	0	1	010110	11bar	1	01
11	BDCA	000110	01	01	1	11	01	1	1	000110	11bar	1	01
12	CABD	101011	01	10	0	11	10	0	1	101011	11bar	1	10
13	CADB	101001	01	10	1	11	10	1	1	101001	11bar	1	10
14	CBAD	001011	01	11	0	11	11	0	1	001011	11bar	1	11
15	CBDA	000011	01	11	1	11	11	1	1	000011	11bar	1	11
16	CDAB	100001	10	00	0	10	00	0	0	100001	11	-	00
17	CDBA	000001	10	00	1	10	00	1	0	000001	11	-	00
18	DABC	110100	10	01	0	11	01	0	0	110100	11	-	01
19	DACB	110000	10	01	1	11	01	1	0	110000	11	-	01
20	DBAC	010100	10	10	0	11	10	0	0	010100	11	-	10
21	DBCA	000100	10	10	1	10	10	1	0	000100	11	-	10
22	DCAB	100000	10	11	0	11	11	0	1	100000	11	-	11
23	DCBA	000000	10	11	1	10	11	1	1	000000	11	-	11

【図11】



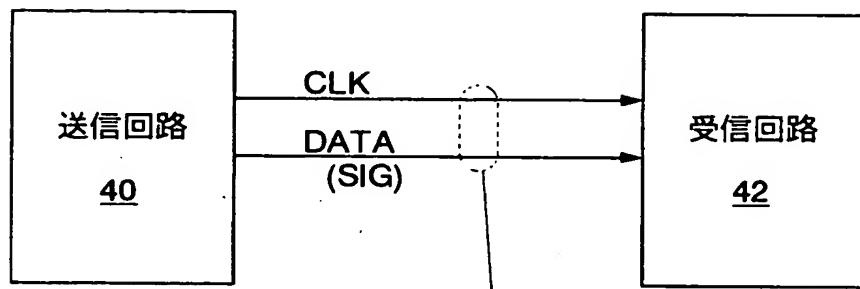
【図12】

データ受信回路のデコーダの詳細を示す回路図

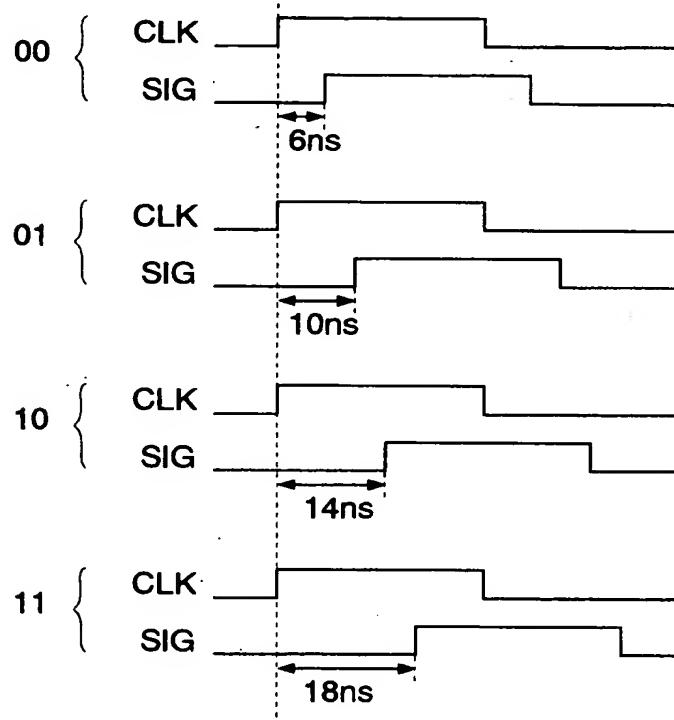


【図13】

本発明の第2の基本原理を示す説明図

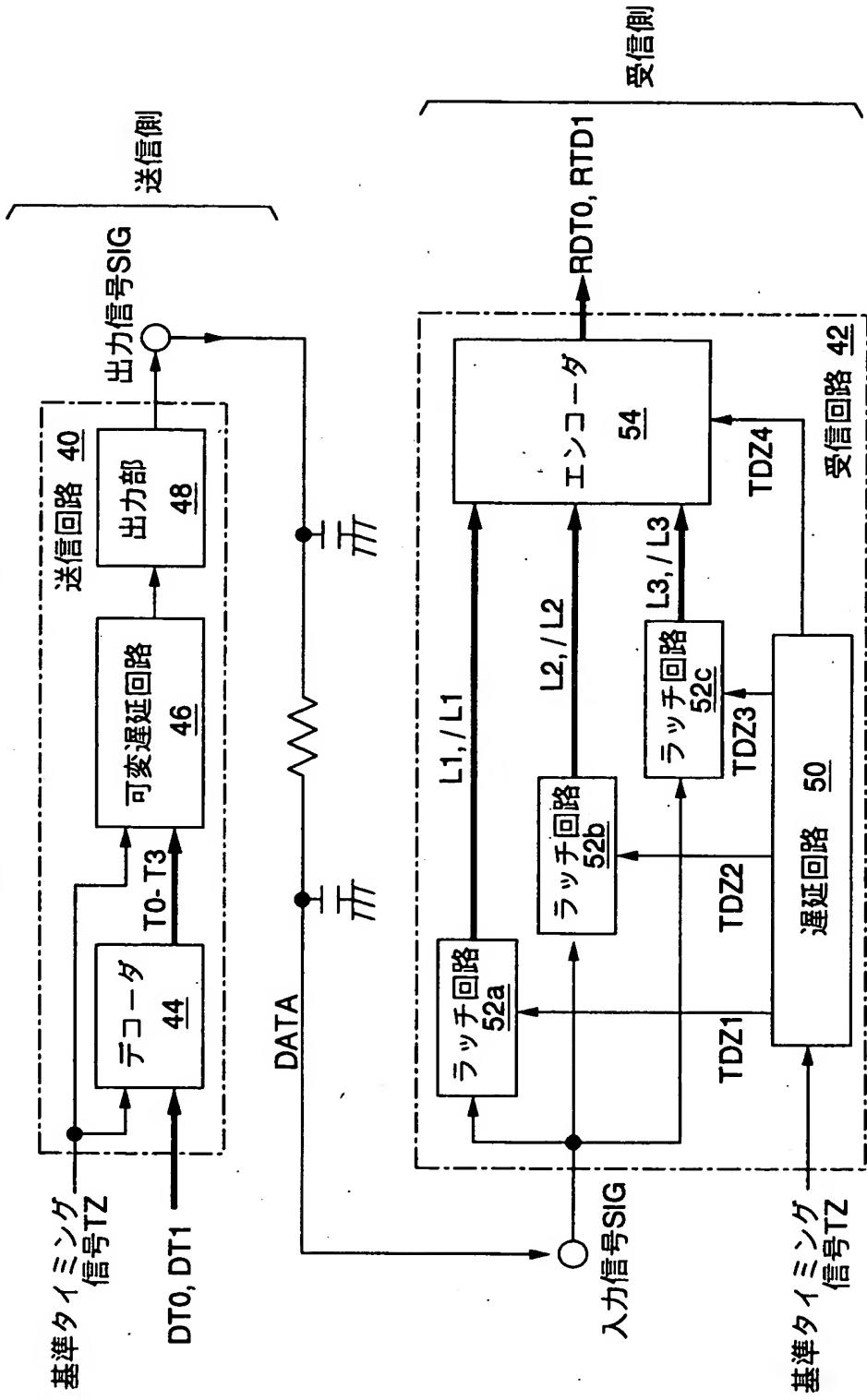


データの論理値(2進)
DT1,0



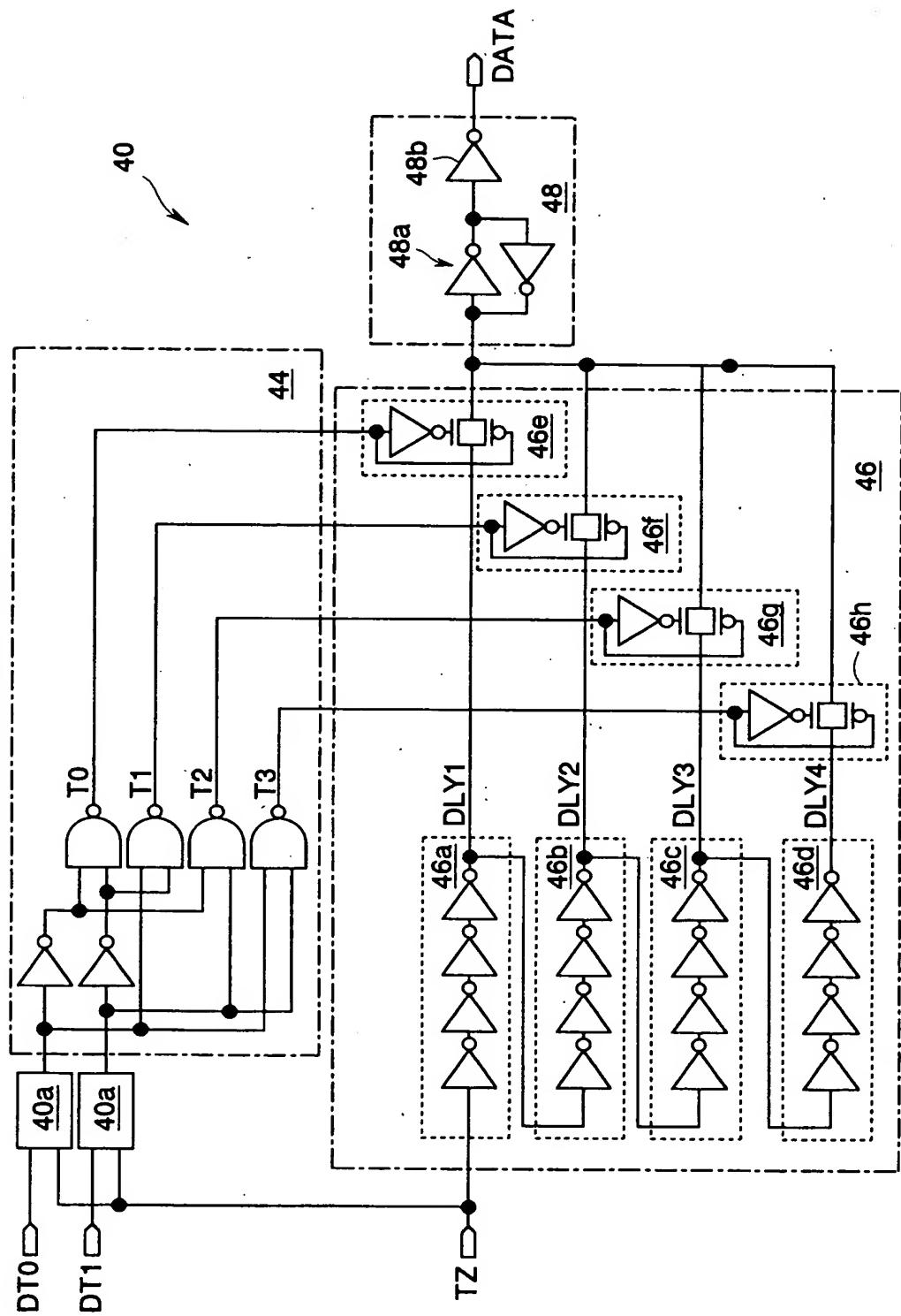
【図 1-4】

第2の実施形態を示すブロック図



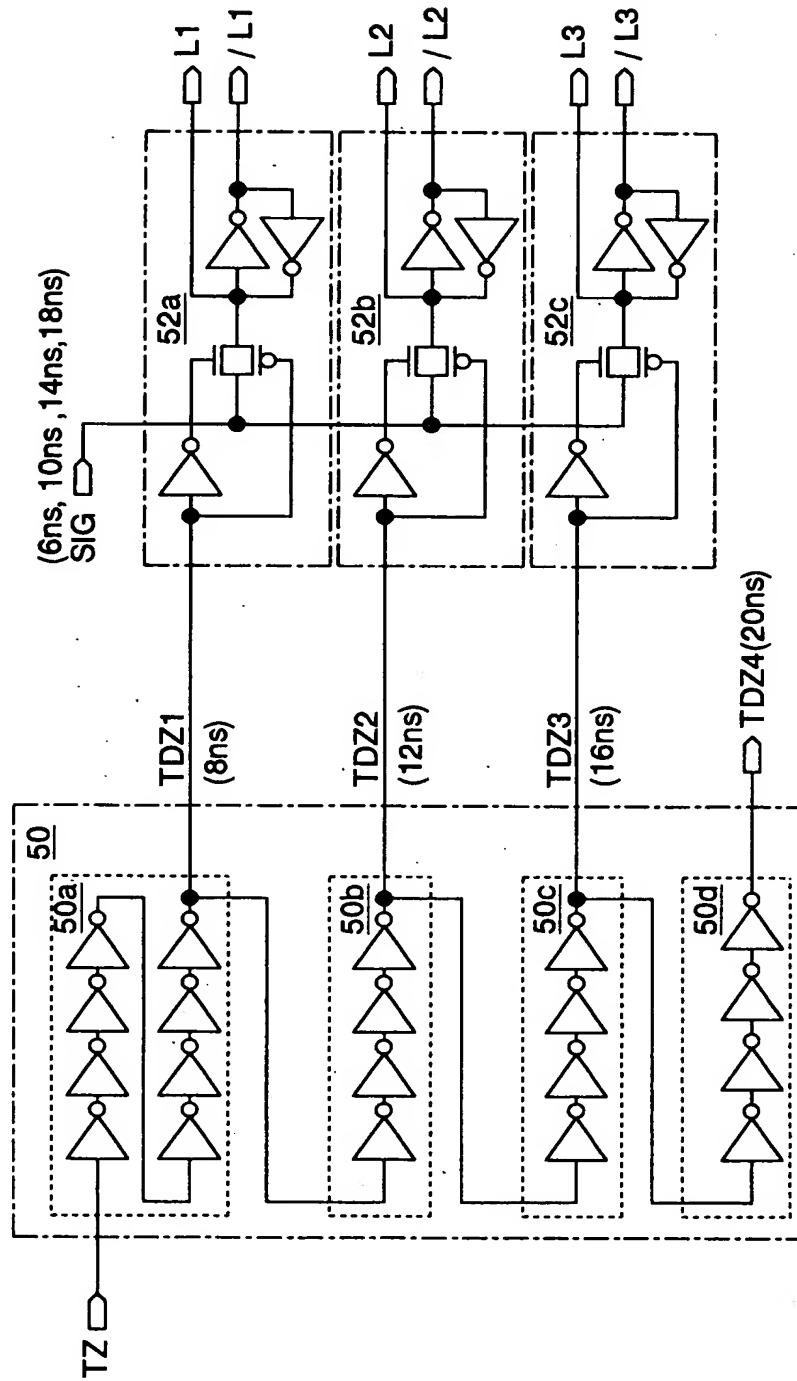
【図15】

送信回路の詳細を示す回路図

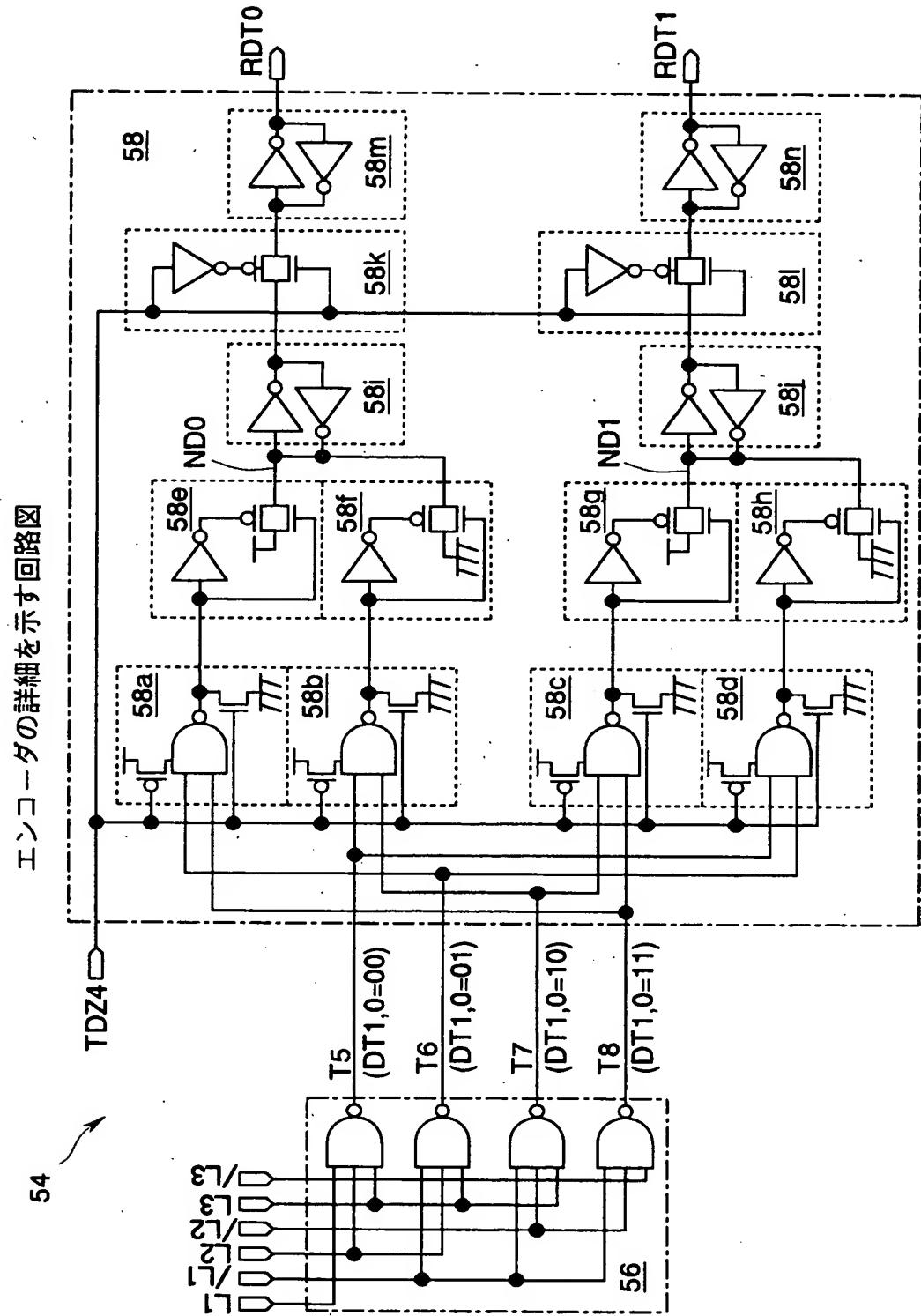


【図16】

遅延回路およびラッチの詳細を示す回路図

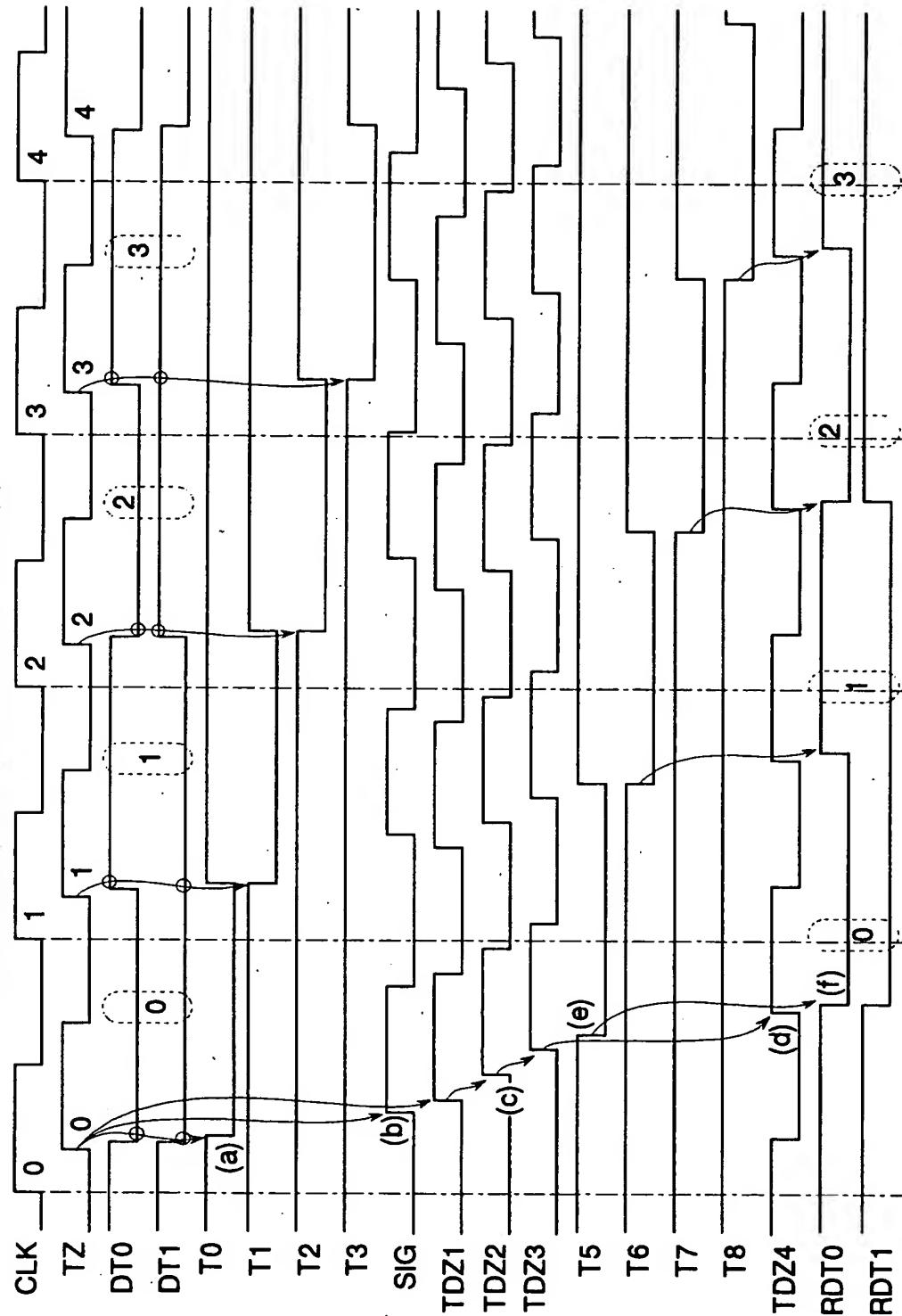


【図17】



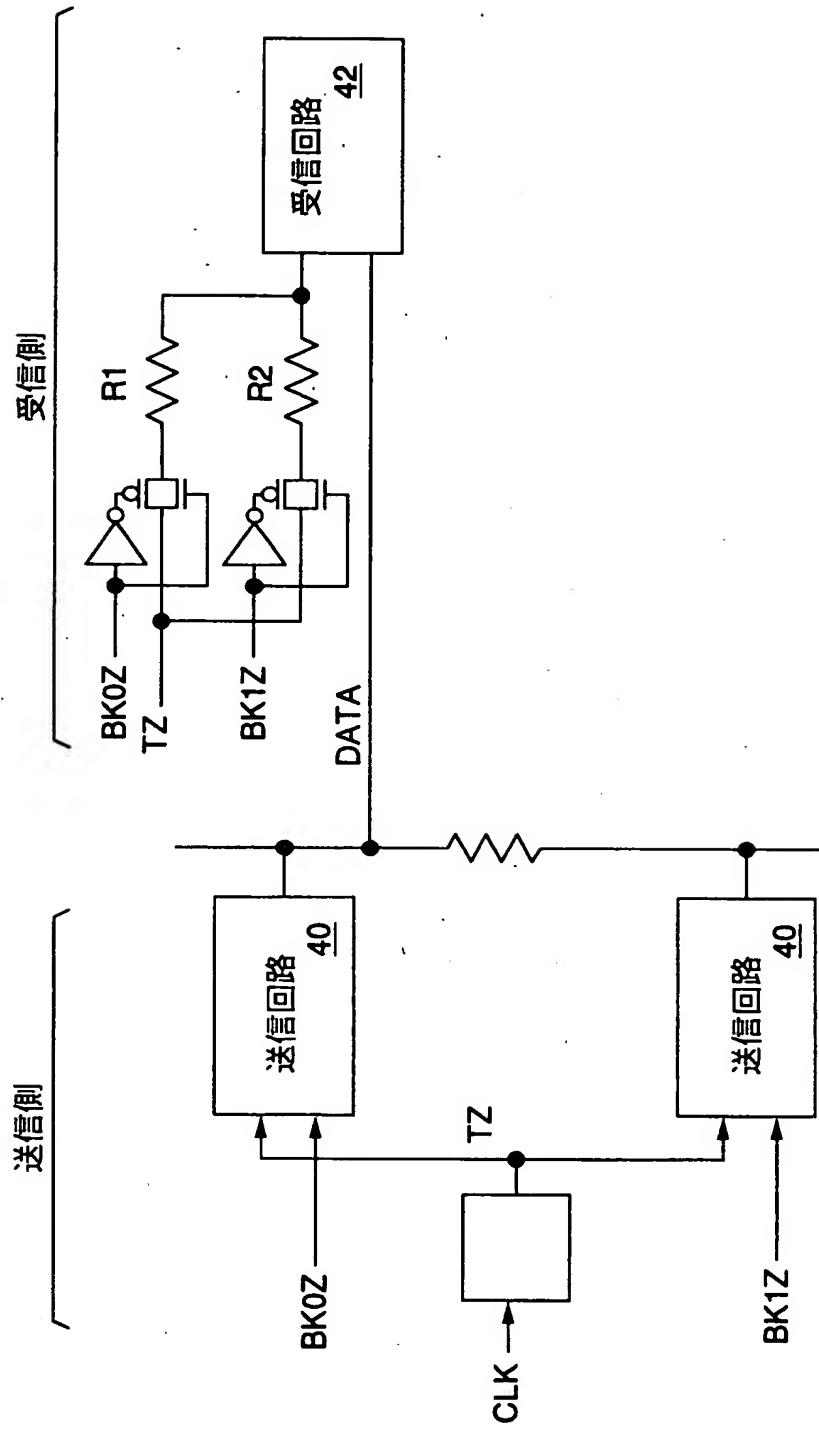
【図18】

第2の実施形態の動作を示すタイミング図

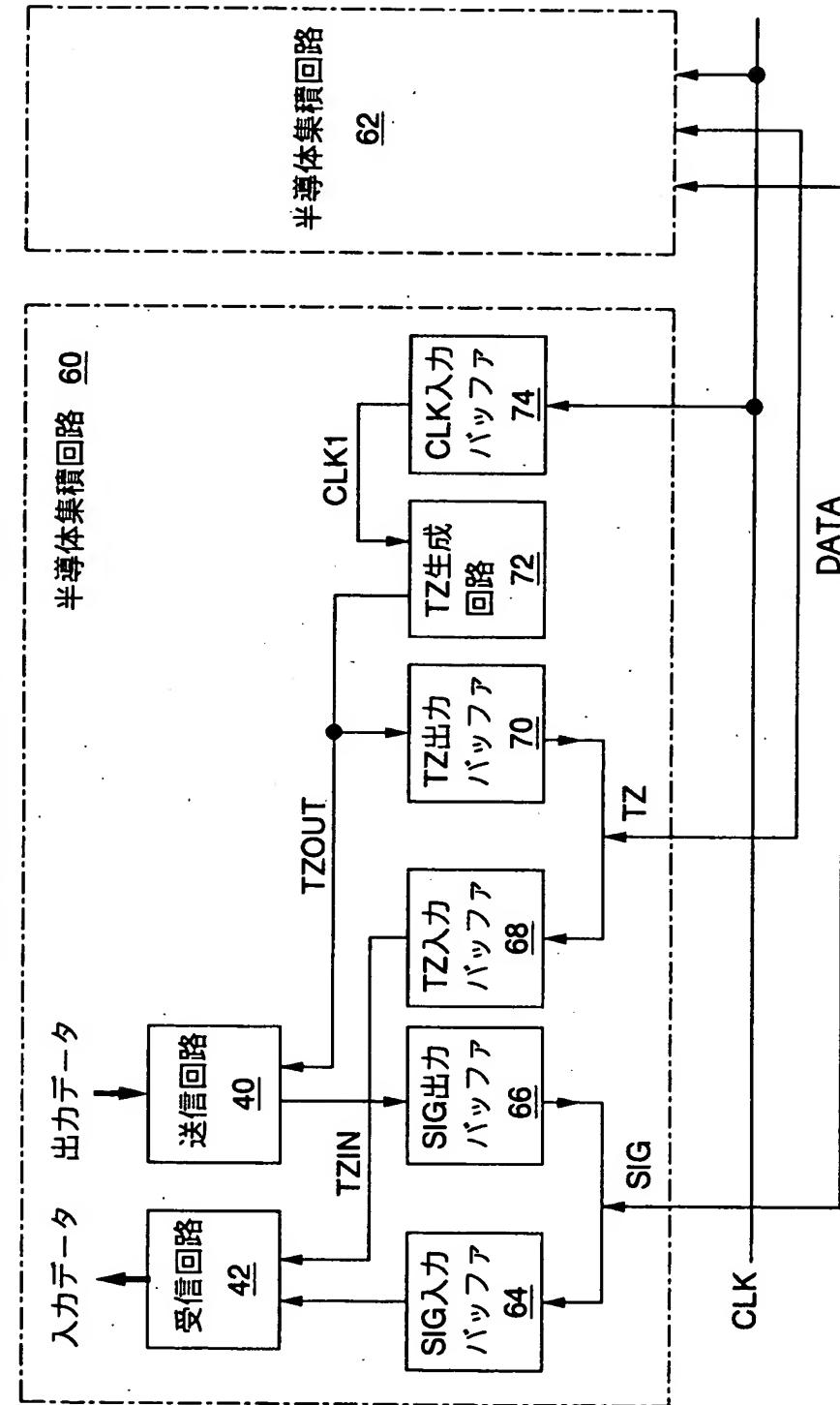


【図19】

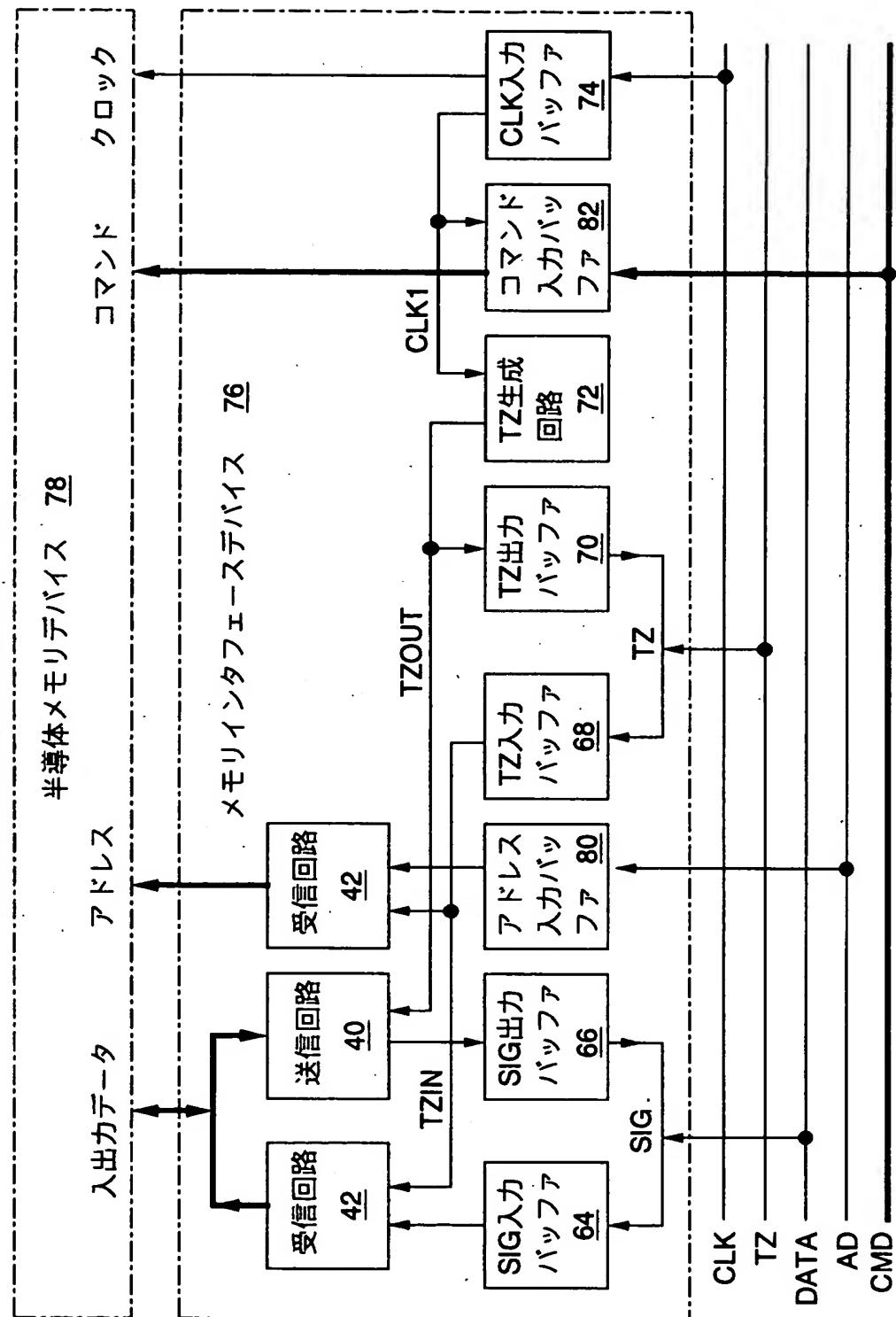
第3の実施形態を示すブロック図



【図20】



【図21】



【書類名】 要約書

【要約】

【課題】 信号を送受信するための入出力インターフェースに関し、少ない信号線で大量のデータを伝送し、消費電力を削減する。

【解決手段】 複数の信号線上をそれぞれ伝達される複数の信号の遷移エッジのタイミングの順序によって、論理値を表現される。または、信号線上を伝達される信号の遷移エッジと基準タイミング信号の遷移エッジとの時間差によって、論理値が表現される。このため、1本の信号線で大量のデータを伝送できる。1回の信号の送信で大量のデータを伝送できるため、データの転送レートを大幅に向上できる。信号線の本数が少なくて済むため、信号の入力回路および出力回路の数を減らすことができ、消費電力を小さくできる。また、信号線の本数が少なくて済むため、信号線の配線領域を小さくできる。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社